



FORMING METHOD OF CONDUCTIVE LAYER

Patent Number: JP8017758
Publication date: 1996-01-19
Inventor(s): TAWARA TAKASHI
Applicant(s): YAMAHA CORP
Requested Patent: JP8017758
Application Number: JP19940174823 19940704
Priority Number(s):
IPC Classification: H01L21/28; H01L21/3065; H01L21/3213; H01L29/78; H01L21/336
EC Classification:
Equivalents: JP2882284B2

Abstract

PURPOSE: To so form a conductive layer having a fine pattern that it excels in its dimensional accuracy.
CONSTITUTION: On a gate insulation film 34A, an electrode material layer 36 for gate electrodes and a conductive material layer for preventing reflections which is made of TiN, etc., are deposited in succession. Then, a dry etching treatment is performed using a resist layer 40A as a mask, and thereby, a part 38A of the conductive material layer is left while it is patterned. The thickness of the resist layer 40A is so determined that it is sufficient for the patterning of the conductive material layer but not sufficient for the patterning of the electrode material layer 36. After the removing of the resist layer 40A, a dry etching treatment is performed using the conductive material layer 38A as a mask, and thereby, a part of the electrode material layer 36 is left while it is patterned. The laminate comprising the left part of the electrode material layer 36 and the conductive material layer 38A is used as a gate electrode. The laminate comprising the conductive material layer 38A and the resist layer 40A is used allowably as a mask.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-17758

(43)公開日 平成8年(1996)1月19日

(51)IntCl⁵

識別記号 序内整理番号

F I

技術表示箇所

H 01 L 21/28

F

21/3065

21/3213

H 01 L 21/302

J

21/88

D

審査請求 未請求 請求項の数 2 FD (全 13 頁) 最終頁に続く

(21)出願番号

特願平6-174823

(71)出願人 000004075

ヤマハ株式会社

(22)出願日

平成6年(1994)7月4日

静岡県浜松市中沢町10番1号

(72)発明者 田原 健

静岡県浜松市中沢町10番1号ヤマハ株式会社内

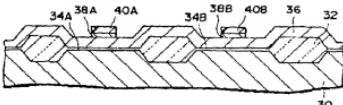
(74)代理人 弁理士 伊沢 敏昭

(54)【発明の名称】導電層形成法

(57)【要約】

【目的】微細パターンの導電層を寸法精度よく形成する。

【構成】ゲート絶縁膜34Aの上にゲート電極用の電極材層36及び反射防止用のTiN等の導電材層を順次に堆積する。レジスト層40Aをマスクとするドライエッティング処理により導電材層をバーニングして導電材層の一部38Aを残存させる。レジスト層40Aは、導電材層をバーニングするには足りるが電極材層36をバーニングするには足りない程度の厚さとする。レジスト層40Aを除去した後、導電材層38Aをマスクとするドライエッティング処理により電極材層36をバーニングして電極材層36の一部を残存させる。電極材層36の残存部及び導電材層38Aの積層をゲート電極として用いる。導電材層38A及びレジスト層40Aの積層をマスクとして用いてよい。



【特許請求の範囲】

【請求項1】基板の表面を覆う絶縁膜の上に電極用又は配線用の第1の導電材層を形成した後、該第1の導電材層の上に反射防止用の第2の導電材層を形成する工程と、

フォトリソグラフィ処理により前記第2の導電材層の上に所望のパターンを有するレジスト層を形成する工程と、

前記レジスト層をマスクとするドライエッチング処理により前記第2の導電材層をバーニングして前記第2の導電材層の一部を残存させる工程と、

前記レジスト層を除去した後、前記第2の導電材層の残存部をマスクとするドライエッチング処理により前記第1の導電材層の一部を残存させる工程と含み、

前記第1の導電材層の残存部と前記第2の導電材層の残存部との積層を電極用又は配線用の導電層として用いる導電層形成法。

【請求項2】基板の表面を覆う絶縁膜の上に電極用又は配線用の第1の導電材層を形成した後、該第1の導電材層の上に反射防止用の第2の導電材層を形成する工程と、

フォトリソグラフィ処理により前記第2の導電材層の上に所望のパターンを有するレジスト層を形成する工程であって、該レジスト層の底面を前記第2の導電材層をバーニングするには足りない程度に設定するものと、

前記レジスト層をマスクとするドライエッチング処理により前記第2の導電材層をバーニングして前記第2の導電材層の一部を残存させる工程と、

前記レジスト層と前記第2の導電材層の残存部との積層をマスクとするドライエッチング処理により前記第1の導電材層をバーニングすることにより前記第1の導電材層の一部を残存せると共に前記レジスト層を除去する工程と含み、

前記第1の導電材層の残存部と前記第2の導電材層の残存部との積層を電極用又は配線用の導電層として用いる導電層形成法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置等の電極又は配線として用いられる微細パターンの導電層を形成する方法に関し、特にバーニング用のマスクとしてTIN等の反射防止用の導電材層を用いることにより寸法精度の向上を図ったものである。

【0002】

【従来の技術】従来、電極用又は配線用の導電材層をバーニングする方法としては、次の(イ)～(ニ)のような方法が知られている。

【0003】(イ) 図19に示すように半導体基板1の

表面を覆う絶縁膜2の上に導電材層3を形成した後、周知のフォトリソグラフィ処理により所望のパターンを有するレジスト層4A～4Cを形成し、これらのレジスト層をマスクとして導電材層3を選択的にドライエッチングする。

(ロ) バーニング用のマスクとしてエッティング速度の速いシリコンオキサイド膜やシリコンナイトライド膜を用いる(例えば、特開平2-125425号公報参照)。また、バーニング用のマスクとしてシリコンオキサイド、シリコンナイトライド等の無機膜の上にレジスト層を接着した積層膜を用いる(例えば、J.-S. Ma et al. : J. Vac. Sci. Technol. B9 (3), May / Jun 1991 p. 1596-1597又はP. E. Riley et al. : Solid State Technology Feb. 1993 p. 47-55等参考)。

(ハ) 高反射率基板上でバーニングを行なう際にバーニング用のマスクとして吸光性染料入りのレジスト層を用いる。

(二) 高反射率基板上でバーニングを行なう際にバーニングされるべき導電材層の表面に反射防止膜を設ける。反射防止膜としては、シリコンナイトライド膜を用いる方法が知られており(例えば、特開平1-241125号公報、特開平5-51310号公報等参照)、またTIN膜を用いる方法も知られている(例えば、特開昭60-240127号公報、特開昭61-185928号公報、特開昭63-232432号公報等参照)。

【0007】

【発明が解決しようとする課題】上記した(イ)の方法で微細配線のバーニングを行なうと、配線間隔(スペース)に応じてエッティング速度が変化すること(エッティング速度のマイクロローディング効果)により配線形成歩留りが低下する不都合がある。

【0008】すなわち、図19に示すようにレジスト層4A、4B、4Cの順にスペース幅が減少していくようなパターンにあっては、図20に示すようにスペース幅が狭いほどエッティング速度が低下することがある。このため、スペース幅が狭い箇所で所定量のエッティングを行なうようにすると、スペース幅が広い箇所では、エッティング過剰となり、絶縁膜2等の下地膜の膜減りが増大することがある。

【0009】また、上記したのとは対応にスペース幅が小さくなるとエッティング速度が増大することもある。すなわち、図21に示すようにレジスト層4A、4B、4C、4Dの順にスペース幅が減少していくようなパターンにあっては、図22に示すようにスペース幅の減少についてエッティング速度が増大することがある。このため、スペース幅が広い箇所で所望のエッティングを行な

うようすると、スペース幅が狭い個所では、エッチング過剰となり、下地に対する選択比が低い場合は、 X_1, X_2 の個所に示すように下地抜けが生ずることがある。

【0010】さらに、上記のような微細配線パターンングでは、スペース幅に応じてエッチング形状又は寸法が変化すること（エッチング形状のマイクロローディング効果）により配線形成歩留りが低下する不都合もある。

【0011】すなわち、図23に示すように密集したレジスト層4P, 4Qをマスクとしてドライエッチングを行なうことにより密集した配線層3P, 3Qを得る場合、例えば配線層3Pの幅W₁は、レジスト層4Pの幅W₀にはほぼ等しくなる（W₀ = W₁）。これに対し、図24に示すように孤立した幅W₀のレジスト層4Rをマスクとしてドライエッチングを行なうことにより孤立した配線層3Rを得る場合には、配線層3Rの幅W₁は、図23に示した幅W₀よりも大きくなる（W₀ > W₁）のが一般的であり、例外的にW_{S1}（ボリシリコン層（ボリシリコン層上にW_{S1}層を積層したもの）のエッチングでは、W₁ < W₀となることもある。

【0012】W₁ > W₀になる例としては、エッチングガスとしてBCl₃ / C₁を用いてA1合金をエッチングする場合、エッチングガスとしてC₁ / O₂ / C₁ / N₂又はSF₆ / C₁ / F₂等を用いてボリシリコン又はボリサイド層（ボリシリコン層上にシリサイド層を積層したもの）をエッチングする場合などがある。また、W₁ < W₀になる例としては、図18について後述するようなマグネットロンRIE（反応性イオンエッチング）装置においてエッチングガスとしてHBr / SF₆を用いてボリサイド層をエッチングする場合などがある。

【0013】ところで、上記のような微細配線パターンングにおいては、レジスト等のマスク材の膜減り量の増大（対マスク選択比の低下）により配線形成歩留りが低下する不都合もある。

【0014】すなわち、ドライエッチングにおいては、ガスとマスク材との化学反応に加えてイオンあるいは運動エネルギーを持った粒子がマスク材に衝突することによってマスク材に膜減りが生ずる。運動エネルギーを持つ粒子がマスク材に衝突する場合、マスク材は、図25でレジスト層4Sに示すように肩が落ちたような形になる。マスク材の肩部の角度は、最もスパッタ効率がよくなるような値となる。しかし、実際の角度は、純粋に物理的なスパッタエッチングで効率がよい45°とはならない。マスク材の肩部がスパッタされる現象を「ファセッティング」と呼び、肩部にできた面を「ファセット」と呼ぶ。

【0015】図25は、レジスト層4Sをマスクとして導電材層3をドライエッチングして配線層を形成する工程を示すもので、ライン幅（配線幅）K₁は、導電材層3の厚さT₁に近い小さな値に設定されている。図25に示

すようにファセッティングが生じても、左右のファセットが接するまではレジスト層4Sの上面が存在しております、レジストの膜減り量△T₁は、導電材層（被エッチング材層）3の膜厚T₁に比べて十分大きなパターンのレジストの膜減り量に等しい。

【0016】ところが、図26に示すようにエッチングが進行して左右のファセットが接するようになると、レジストの膜減り量△T₂は、導電材層3の膜厚T₁に比べて十分大きなパターンのレジストの膜減り量より大きくなる。これは、ファセッティングの膜厚方向の成分と膜厚方向のレジストエッチング速度との和がレジストの膜減り速度になるためであると発明者は考へている。

【0017】このような現象は、配線幅が小さくなるほど調節できる。すなわち、配線が細くなるほど実効的な対レジスト選択比が低下する。

【0018】図27は、レジスト膜減り量と、対レジスト選択比と、レジストテーパ角θとについてライン幅K₁依存性を示すものである。レジストテーパ角θは、図26に示すようにいずれかのファセットの延長線と導電材層3の底面とが交差する角度である。図27のデータは、図16について後述するようなマイクロ波プラズマエッチングにおいて、エッチングガスとしてBCl₃ / C₁を用いてA1合金をエッチングした際に得られたものであり、これによればライン幅K₁の減少に伴いレジスト膜減り量が増大する（対レジスト選択比が低下する）と共にレジストテーパ角θが増大することがわかる。

【0019】エッチングマスクとして使用されるレジスト層の厚さを薄くすると、フォトリソグラフィの焦点深度が深くなり、微細なパターン形成が可能となる。また、レジスト層の厚さを薄くすることで、ドライエッチングのマイクロローディング効果も低減される。

【0020】しかしながら、図25～27にに関して前述したように、配線の微細化に伴って配線のエッチングマスクに対する実質的な選択比は低下するので、レジスト層を薄くすると、エッチング中にレジスト層が消失して配線が断続に至ることがある。従って、レジスト層をあまり薄くすることはできない。

【0021】パターンの微細化に伴う対マスク選択比の低下等の問題点を解決するには、マスク材に対して高い選択性を有するエッチング技術を開発するか又は高い選択性を有するマスク材を採用する必要がある。前述した（口）の方法は、マスク材に対するエッチング選択比を高くるする方法として有効である。

【0022】しかしながら、バーニング用のマスクとしてシリコンオキサイド膜を用いる方法では、シリコンオキサイド膜が反射防止膜として機能しないという問題点がある。反射防止膜については後述する。また、バーニング用のマスクとしてシリコナイトライド膜を用いる方法では、シリコナイトライド膜の反射防止機能が不十分であるという問題点がある。その上、いずれの

方法でも、エッチング後に無機のマスク材が配線又は電極の表面に残存することになり、後工程で基板が高温を経験すると、マスク材と導電材との熱膨張係数の違いによりマスク材が配線又は電極の表面から剥離してバーティカルとなり、歩留りを低下させるという問題点がある。

【0023】ところで、高反射率基板上に配線を形成するに際しては、基板表面での乱反射によりパターンの寸法精度が低下する不都合がある。

【0024】すなわち、図2に示すように半導体基板1の表面に絶縁膜5A、5Bにより段差がある場合、基板表面に配線材層6Aを介してレジスト層7Aを形成し、レジスト層7Aに対して所望のパターンを有するマスク8を介して光9を照射して露光処理を行なうと、反射率の高い配線材層6Aの斜面AB、CDで光が反射されてレジスト層7Aの露光すべきでない領域にまで光が回り込み、該領域を露光させてしまう。この後、レジスト現象を行なうと、図29に示すようなパターンを有するレジスト層7が得られる。

【0025】レジスト層7は、図29、30に示すように平坦部では断面形状が矩形となり且つ所望の幅W₁が得られるが、図29、31に示すように絶縁膜5A、5Bに決まる部分では断面形状が半円状となり且つ所望の幅W₁より狭い幅W₂しか得られない。このため、レジスト層7をマスクとして配線材層6Aをドライエッチングして配線層を形成すると、配線層には幅W₁の部分で細りや断続が生ることになる。

【0026】高反射率基板上に配線を形成するに際しては、反射率が異なる場所でパターン寸法が異なるという問題もある。

【0027】一例として、図32に示すように基板1上に絶縁膜5及びゲート電極層10を覆って絶縁膜11を形成した後、レジスト層12をマスクとするドライエッチング処理により基板表面に連なる絶縁孔11aとゲート電極層10により達する接続孔11bとを形成する場合、接続孔11aの寸法W₁よりも接続孔11bの寸法W₂の方が大きくなる。このように接続孔11bの寸法が大きくなると、フォトリソグラフィ工程での位置合せ余裕が少くなり、図33に示すように接続孔11bがゲート電極層10からはずれた位置に形成されることがある。この結果、配線層13は、ゲート電極層10と基板表面とを電気的に短絡させるように形成される。このような事態を防ぐには、設計的に位臵合せ余裕を大きくする必要があり、集積度の低下を招く。

【0028】反射率が高い場所で接続孔の寸法が大きくなるのは、レジスト層12の孔の直径Rが大きくなることによるもので、孔の直径Rが大きくなる理由は、次のように説明される。

【0029】すなわち、フォトリソグラフィ技術においては、レジストを現像液に溶けにくくしている感光剤を光照射部分のみ分解させて現像液に溶かすことによって

パターンを形成している。感光剤の分解量は、露光エネルギーを増やすと増加する。従って、図34に示すように孔の直径Rは、露光エネルギーの増加に伴って増大する。

【0030】ゲート電極層10のように反射率が高い物体がレジスト層12の下方に存在すると、かかる物体からの反射光がレジスト層12に加えられる。このため、レジスト層12に吸収される実効的な露光エネルギーは、反射率が低い場所に比べて大きくなる。従って、感光剤の分解が促進され、孔の直径Rが大きくなる。

【0031】前述した(八)の方法では、露光用の光を吸収するような染料をレジスト層に添加するので、光の反射による寸法精度の低下をある程度抑制することができます。

【0032】しかしながら、図35に示すように絶縁膜5を複数枚材層14の上に所望のパターンを有する染料入りレジスト層15を形成すると、レジスト層15の断面形状は、裾をひいたテバ状となる。これは、レジストの露光エネルギーがレジスト表面から深くなるにつれて減衰し、レジストパターンの寸法は、露光エネルギーが小さくなるほど大きくなることによるものである。レジスト層15の裾部a、bは、レジスト層15をマスクとして配線材層14をドライエッチングして配線層を形成する際に、ドライエッチングによりエッチングされてしまい、配線層に細りが生ずることがある。また、レジスト層15は、染料を含むため、フォトリソグラフィ工程での解像度が低下する。従って、前記(八)の方法は、パターンの微細化には不向きである。

【0033】一方、前述した(二)の方法は、レジスト層の下で導電材層の表面に反射防止膜を設けて光反射を抑制するので、光反射による寸法精度の低下を防止するのに有效であり、しかも前記(八)の方法にあったような問題點もない。

【0034】しかしながら、前記(二)の方法は、反射防止膜を用いるものの、エッチングマスクとしては十分な厚さのレジスト層を用いるので、ドライエッチング時のマイクロローディング効果を低減することができない。

【0035】この発明の目的は、微細なパターンを有する導電層を寸法精度よく形成することができる新規な導電層形成法を提供することにある。

【0036】【課題を解決するための手段】この発明に係る導電層形成法は、基板の表面を覆う絶縁膜の上に電極用又は配線用の第1の導電材層を形成した後、該第1の導電材層の上に反射防止用の第2の導電材層を形成する工程と、フォトリソグラフィ処理により前記第2の導電材層の上に所望のパターンを有するレジスト層を形成する工程と、前記レジスト層をマスクとするドライエッチング処理により前記第2の導電材層をバーニングして前記第2の

導電材層の一部を残存させる工程と、前記レジスト層を除去した後、前記第2の導電材層の残存部をマスクとするドライエッキング処理により前記第1の導電材層をバターニングすることにより前記第1の導電材層の一部を残存させる工程とを含み、前記第1の導電材層の残存部と前記第2の導電材層の残存部との積層を電極用又は配線用の導電層として用いるようにしたものである。

【0037】このような導電層形成法にあっては、レジスト層の厚さを第2の導電材層のバターニングするには足りるが第1の導電材層をバターニングするには足りない程度に設定してもよい。そして、第2の導電材層のバターニングの後レジスト層を除去せずに、レジスト層と第2の導電材層の残存部との積層をマスクとするドライエッキング処理により第1の導電材層をバターニングすることにより第1の導電材層の一部を残存させると共にレジスト層を除去するようにしてよい。

【0038】

【作用】この発明の方法によれば、第1の導電材層をバターニングする際のエッチングマスクとして第2の導電材層の残存部が用いられる。第2の導電材層としては、TIN層又はTiON層等を用いることができ、例えばTIN層では3.0~5.0nm程度の厚さで反射防止効果が得られる。

【0039】従って、第2の導電材層をバターニングする際に用いるレジスト層の厚さを薄くすることができ、フォトリソグラフィ工程での焦点深度を向上させることができる。また、第1の導電材層をバターニングする際には、エッチングマスクとしての第2の導電材層の残存部が薄いので、マイクロローディング効果が低減される。

【0040】また、上記したようにレジスト層と第2の導電材層の残存部との積層をエッチングマスクとして用いる場合は、第1の導電材層をバターニングする工程でレジスト層が除去されるので、レジスト層を除去するための独立した工程が不要である。

【0041】

【実施例】図1~図15は、この発明の一実施例に係るMOS型ICの製法を示すもので、各々の図に対応する工程(1)~(15)を順次に説明する。

【0042】(1) 例えばシリコンからなる半導体基板30の表面に周知の選択酸化処理によりシリコンオキサイドからなるフィールド絶縁膜3.2を形成する。絶縁膜3.2は、アクリチブ銅膜を配置するための孔3.2A、3.2Bを有する。孔3.2A、3.2B内の基板表面を酸化してシリコンオキサイドからなるゲート絶縁膜3.4A、3.4Bを形成する。絶縁膜3.4A、3.4Bとしては、Si_xN_y膜を用いてよい。

【0043】(2) 基板上面に絶縁膜3.2、3.4A、3.4Bを覆ってゲート電極用の電極材層3.6を堆積した後、電極材層3.6の上に反射防止用兼エッチングマスク

用の導電材層3.8を堆積する。電極材層3.6としては、ポリSi層又はポリサイド層(例えばWSi_x/ポリSi層)を用いることができる。また、導電材層3.8としては、TiN層又はTiON層を用いることができ、いずれの層もCVD(ケミカル・ベーパー・デポジション)法又は反応性スパッタ法により堆積可能である。導電材層3.8の厚さは、反射防止効果が得られる最小の厚さとすることができ、例えばTiN層又はTiON層を用いると共に露光に1μm又はg線の光を用いる場合、3.0~5.0nm程度あればよい。

【0044】(3) 図3~5の工程では、フォトリソグラフィ処理により所望のレジストパターンを形成する。まず、回転微布法等により基板上面に導電材層3.8を覆ってレジスト層4.0を形成する。

【0045】(4) 次に、露光処理を行なう。すなわち、所望のゲート電極形成パターンを有する遮光マスクM_A、M_Bを介してレジスト層4.0に露光用の光UVを照射する。

【0046】(5) 次に、レジスト層4.0に現像処理を施し、所望のパターンを有するレジスト層4.0A、4.0Bを残存させる。レジスト層4.0A、4.0Bの厚さは、導電材層3.8をバターニングするには足りるが電極材層3.6をバターニングするには足りない程度に薄くてよく、例えば0.5μmにすることができる。

【0047】(6) レジスト層4.0A、4.0Bをマスクとするドライエッキング処理により導電材層3.8をバターニングして導電材層3.8A、3.8B(いずれも導電材層3.8の一部)を残存させる。このとき、エッチングガスとしては、Cl₂を用いるとよい。

【0048】(7) アッショング処理によりレジスト層4.0A、4.0Bを除去する。別の方法としては、有機溶剤を用いる洗浄処理等によりレジスト層4.0A、4.0Bを除去してもよい。

【0049】(8) 導電材層3.8A、3.8Bをマスクとするドライエッキング処理により電極材層3.6をバターニングして電極材層3.6A、3.6B(いずれも電極材層3.6の一部)を残存させる。電極材層3.6A及び導電材層3.8Aの積層は、ゲート電極層4.2Aを構成し、電極材層3.6B及び導電材層3.8Bの積層は、ゲート電極層4.2Bを構成する。

【0050】電極材層3.6のバターニングにおいて、エッチングガスとしては、Cl₂、O₂、Cl₂、SF₆、HBr/SF₆、HBr/O₂などのO₂又はFを含むガスを使用するとよい。O₂又はFを含むガスを使用すると、TiN(又はTiON)の表面に蒸気圧の低い酸化チタン(TiO_x、TiO₂、Ti_xO_y)又はフッ化チタン(TiF_x)が形成され、TiN(又はTiON)のエッチング進行を抑制する。このため、TiN(又はTiON)の層は、エッチングマスクとしての機能を十分に果たす。

【0051】(9) 電極層42A, 42B及び絕縁膜3をマスクとして基板表面上に導電型決定不純物のイオンIONを選択的に注入することにより低不純物濃度のソース領域及びドレイン領域を形成する。そして、電極層42A, 42Bにそれぞれサイドスペーサ44A, 44Bを設けた後再び上記したと同様に選択的イオン注入処理を行なうことにより高不純物濃度のソース領域及びドレイン領域を形成する。この結果、いずれも低濃度部を有するソース領域46S₁, 46S₂及びドレイン領域46D₁, 46D₂が得られる。MOS型トランジスタT₁は、電極層42A, ソース領域46S₂及びドレイン領域46D₂を含むものであり、MOS型トランジスタT₂は、電極層42B, ソース領域46S₁及びドレイン領域46D₁を含むものである。

【0052】(10) CVD法等により基板上面にトランジスタT₁, T₂及び絶縁膜3を覆って層間絶縁膜48を形成する。絶縁膜48としては、シリコンオキサイド膜、シリコンナイトライド膜、PSG(リンケイ酸ガラス)膜、BPSG(ボロン・リンケイ酸ガラス)膜等を用いることができる。

【0053】(11) フォトリソグラフィ処理により絶縁膜48の上に所望の接続孔形成パターンを有するレジスト層50を形成する。絶縁膜48が透明性を有する場合、各々ゲート電極層を構成する導電材層38A, 38Bは、レジスト層50に露光処理を施す際に反射防止膜として働くので、ゲート電極層の上方ではレジストバターンの寸法精度が良好である。

【0054】(12) レジスト層50をマスクとするドライエッティング処理により絶縁膜48にソース用の接続孔48a, ゲート用の接続孔48b, 48cを形成する。導電材層38A, 38Bの表面に前述したように酸化チタン、フッ化チタン等の絶縁膜が形成される場合は、良好な電気接触を得るために接続孔48b, 48cを導電材層38A, 38Bをそれぞれ介して電極材層36A, 36Bに達するよう形形成する。導電材層38A, 38Bの表面に絶縁膜が形成されない場合は、接続孔48b, 48cを導電材層38A, 38Bの表面に達するよう形成してもよい。この後、レジスト層50を除去する。

【0055】(13) 基板上面に絶縁膜48及び接続孔48a~48cを覆ってAl又はAl合金等の配線材層52を堆積する。そして、配線材層52の上にTIN又はTiON等の反射防止用兼エッチングマスク用の導電材層54を図2の工程で述べたと同様に形成する。

【0056】(14) フォトリソグラフィ処理により導電材層54の上に所望の配線形成パターンを有するレジスト層56を形成する。

【0057】(15) レジスト層56をマスクとするドライエッティング処理により導電材層54をバーニングして導電材層54A, 54B, 54C(いずれも導電材

層54の一部)を残存させる。レジスト層56を除去した後、導電材層54A, 54B, 54Cをマスクとするドライエッティング処理により配線材層52をバーニングして配線材層52A, 52B, 52C(いずれも配線材層52の一部)を残存させる。配線材層52A及び導電材層54Aの積層は、トランジスタT₁のソース用の配線層58S₁を構成する。配線材層52B及び導電材層52Cの積層は、トランジスタT₁のゲート用の配線層58G₁を構成する。配線材層52C及び導電材層54Cの積層は、トランジスタT₂のゲート用の配線層58G₂を構成する。

【0058】上記した実施例にあっては、図8又は図15の工程でレジスト層を除去した状態で電極材層36又は配線材層52をバーニングしたが、レジスト層を除去せずに、レジスト層と導電材層38A, 38B(又は54A, 54B, 54C)との積層をマスクとしてバーニングを行なうようにしてもよい。このようにすると、電極材層36又は配線材層52をバーニングする際にドライエッティングによりレジスト層が除去される。

20 従って、レジスト層を除去するための独立の工程は不要となる。

【0059】TIN層がエッティングマスクとして有効であることを確認するため、図16, 17, 18に示すような3種類のドライエッティング装置を用いてO₂, SF₆を含むガスでTIN, WS₂, ポリSiをエッティングする実験が行なわれた。

【0060】図16は、マイクロ波プラズマエッチャの一例を示すものである。プラズマチャンバ60の周囲には、ソノイドコイル62が設けられると共に、チャンバ60には、マグネットロン64から導波管66を介して2.45GHzのマイクロ波MWが供給される。チャンバ60内には、被処理ウエハ(基板)WFを保持する電極68が設けられ、電極68には、2MHzの高周波源RFが接続される。チャンバ60内には、エッティングガスGが供給されると共に、チャンバ60の下部は、排気手段VACに接続される。

【0061】チャンバ60内では、マイクロ波と磁場の相乗作用によって広範囲な圧力下で均一・高密度のプラズマを発生可能である。電極68へ供給される高周波電力を調整することによりウエハWFに入射するイオンエネルギーを制御可能である。

【0062】図17は、ECRプラズマエッチャの一例を示すものである。プラズマチャンバ70の周囲には、マグネットコイル72が設けられると共に、コイル72の内側でチャンバ70の周囲には、冷却水CLを通す配管が設けられている。チャンバ70には、2.45GHzのマイクロ波MWが供給されると共に、エッティングガスGが供給される。チャンバ70の下部には、エッティングチャンバ74が連結されており、チャンバ74には、チャンバ70からプラズマ流PLが供給される。チャン

バ74内には、被処理ウエハWFを保持する電極76が設けられており、電極76には、13.56MHzの高周波源RFが接続される。チャンバ74の下部は、排気手段VACで接続される。

【0063】図18は、マグネットロンRIE装置の一例を示すものである。反応室80内には、被処理ウエハWFを保持する電極82が設けられており、電極82には、13.56MHzの高周波源RFが接続されている。反応室内には、図示しないコイル又は永久磁石によりウエハWFの表面に平行な磁場Bが形成されると共^{*10}

条件	C_{1z}/O_2 [sccm]	O_2 流量 割合 [%]	エッチング速度 [nm/分] TiN WSi ₂	選択比 (WSi ₂ /TiN)
1	50/0	0	179 195	1.09
2	29/1	3.3	114 211	1.85
3	48/2	4	149 328	2.20

の場合、固定条件は、ガス圧力=5mTorr、RF(2MHz)パワー=30W、マイクロ波パワー(マグネットロンのアノード電流)=160mA、電極冷却水温度=20°C、上記コイル電流=20.5A、下部コイル電流7.5Aであった。

【0066】表1によれば、C_{1z}にO₂を添加すると、TiNのエッチング速度が低下し、WSi₂に対する選択比が向上することがわかる。

【0067】(B) ECRプラズマエッチャを使用した場合

図17に示すようなECRプラズマエッチャを使用して40nmの厚さのTiNを5分間エッチングしたところ、TiNは、殆どエッチングされなかった。このとき※

※に、上方からエッティングガスGが供給される。反応室80の下部は、排気手段VACに接続される。

【0064】(A) マイクロ波プラズマエッチャを使用した場合

図16に示すようなマイクロ波プラズマエッチャを用いてTiN、WSi₂をエッティングしたところ、次の表1に示すようなデータが得られた。

【0065】

【表1】

※のエッティング条件は、C_{1z}/O₂=25/11sccm、ガス圧=2mTorr、RF(13.56MHz)パワー=3.4W、マイクロ波(2.45GHz)パワー=1400W、電極冷却水温度=15°Cであった。

【0068】仮に、40nmの厚さのTiNが5分間でエッティングされたとしても、TiNのエッチング速度は、8nm/分である。従て、TiNのエッチング速度は、8nm/分以下であるといえる。

【0069】TiNと同様の条件でWSi₂、ポリSiをエッティングしたところ、次の表2に示すようなデータが得られた。

【0070】

【表2】

エッティング速度 [nm/分] TiN WSi ₂	選択比 WSi ₂ /TiN ポリSi/TiN
<8 281 242~250	>35.1 >30.3

一例として、WSi₂、ポリSi=200/150nmのポリサイド層をTiN層をマスクとしてドライエッチングする場合、WSi₂、ポリSiのTiNに対する選択比は、それぞれ>3.5、1、>30、3であるから、オーバーエッチングを30%行ったとしてもTiN層の厚さが13.9nm以上であれば、TiN層はエッチングマスクとして機能する。

【0071】一方、TiN層をWSi₂層上に反射防止膜として使用する場合、露光用にi線又はg線の光を用いるものとする。TiN層の厚さが3.0~5.0nmで良好な特性が得られる。従って、WSi₂層上に反射防止膜として堆積したTiN層は、エッチングマスクとし

て十分に機能するものである。

【0072】(C) マグネットロンRIE装置を使用した場合

図18に示すようなマグネットロンRIE装置を使用してTiN、WSi₂、ポリSiをエッティングしたところ、次の表3に示すようなデータが得られた。このときのエッチング条件は、HBr/SF₆=15/45sccm、圧力=20mTorr、RFパワー=250W、磁束密度=30Gauss、冷却水温度=40°Cであつた。

【0073】

【表3】

13

14

エッティング速度 [nm/分]			選択比	
TiN	WS ₄	ポリSi	WS ₄ /TiN	ポリSi/TiN
21.8	179	263	8.2	12.1

表3の選択比から計算すると、WS₄／ポリSi = 200／150 nmのポリサイド層をTiN層をマスクとしてドライエッティングする場合、TiN層の厚さは、オーバーエッチングを30%行なうものとすれば4.7、8 nmあればよいことになる。また、WS₄／ポリSi = 100／100 nmであれば、TiN層の厚さは、2.6、6 nm（オーバーエッチ30%）あればよいことがわかる。

【0074】要するに、O₂やFを含むガスを使用するドライエッティングでは、TiNに対するポリサイドの選択比が高いので、TiN層をエッティングマスクとして使用できることがわかる。TiN層の代りにTiON層を使用した場合は、TiONに対するポリサイドの選択比が更に高いので、エッティングマスクとしての機能が一層向上する。

【0075】

【発明の効果】以上のように、この発明によれば、電極用又は配線用の導電材層をバーニングする際のエッティングマスクとしてTiN等の反射防止用の導電材層を用いるようにしたので、（1）反射防止用の導電材層をバーニングする際のレジスト膜厚を薄くすることでフォトリソグラフィ工程での焦点深度が向上し、微細なパターン形成が可能となること、（2）電極用又は配線用の導電材層をバーニングする際にはエッティングマスクが薄いのでドライエッティング時のマイクロローディング効果が低減され、寸法精度が向上することなどの効果が得られる。

【0076】その上、反射防止用の導電材層と薄いレジスト層との積層をエッティングマスクとして用いると、レジスト層除去のための独立の工程が不要となる付加的効果もある。

【図面の簡単な説明】

【図1】 この発明の一実施例に係るMOS型ICの製法におけるゲート絶縁膜形成工程を示す基板断面図である。

【図2】 図1の工程に続く電極材及び導電材の堆積工程を示す基板断面図である。

【図3】 図2の工程に続くレジスト被着工程を示す基板断面図である。

【図4】 図3の工程に続くレジスト露光工程を示す基板断面図である。

【図5】 図4の工程に続くレジスト現像工程を示す基板断面図である。

【図6】 図5の工程に続く導電材エッティング工程を示す基板断面図である。

【図7】 図6の工程に続くレジスト除去工程を示す基板断面図である。

【図8】 図7の工程に続く電極材エッティング工程を示す基板断面図である。

【図9】 図8の工程に続くソース・ドレイン形成工程を示す基板断面図である。

【図10】 図9の工程に続く層間絶縁膜形成工程を示す基板断面図である。

【図11】 図10の工程に続くレジストパターン形成工程を示す基板断面図である。

【図12】 図11の工程に続く接続孔形成工程を示す基板断面図である。

【図13】 図12の工程に続く配線材及び導電材の堆積工程を示す基板断面図である。

【図14】 図13の工程に続くレジストパターン形成工程を示す基板断面図である。

【図15】 図14の工程に続く配線パターン形成工程を示す基板断面図である。

【図16】 マイクロ波プラズマエッチャの一例を示す断面図である。

【図17】 ECRプラズマエッチャの一例を示す断面図である。

【図18】 マグネットロンRIE装置の一例を示す断面図である。

【図19】 狹いスペースでエッティング速度が低下する状況を示す基板断面図である。

【図20】 スペース幅とエッティング速度との関係を示す基板断面図である。

【図21】 狹いスペースでエッティング速度が上昇する状況を示す基板断面図である。

【図22】 スペース幅とエッティング速度との関係を示す基板断面図である。

【図23】 密集配線層のエッティング状況を示す基板断面図である。

【図24】 孤立配線層のエッティング状況を示す基板断面図である。

【図25】 微細配線パターンニングにおけるマスク材のエッティング状況を示す断面図である。

【図26】 図25の場合よりエッティングが進行した状況を示す断面図である。

【図27】 ライン幅とレジスト膜減り量、対レジスト選択比及びレジストステー角との関係を示すグラフである。

【図28】 段差有する基板上でのレジスト露光状況を示す基板断面図である。

【図29】 図28のレジスト現像状況を示す基板上面図である。

【図30】 図29のX-X'線に沿う断面図である。

【図31】 図29のY-Y'線に沿う断面図である。

【図32】 基板の反射率が場所によって異なる場合の接続孔形成状況を示す基板断面図である。

【図33】 接続孔形成位置がずれた場合の配線形成状況を示す基板断面図である。

【図34】 露光エネルギーと孔の直径との関係を示す

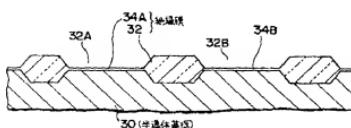
グラフである。

【図35】 染料入りレジスト層の形成工程を示す基板断面図である。

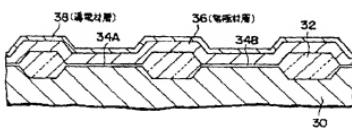
【符号の説明】

30: 半導体基板、32, 34A, 34B, 48: 絶縁膜、36: 電極材層、38, 54: 対電材層、40, 50, 56: レジスト層、42A, 42B: 電極層、52: 配線材層、58Si, 58Gi, 58Gii: 配線層、T_A, T_B: ドラムジスタ。

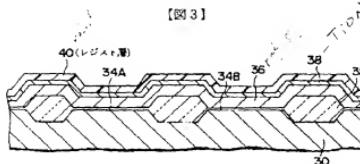
【図1】



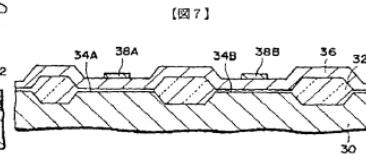
【図2】



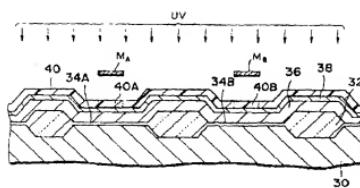
【図3】



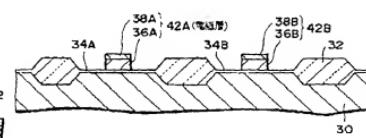
【図7】



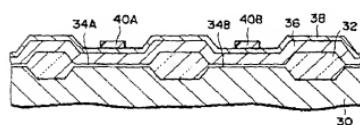
【図4】



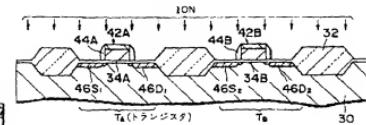
【図8】



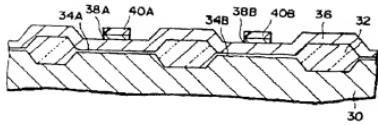
【図5】



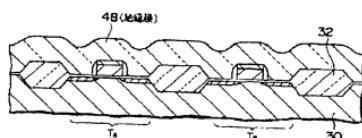
【図9】



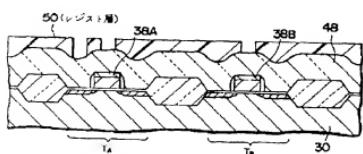
【図6】



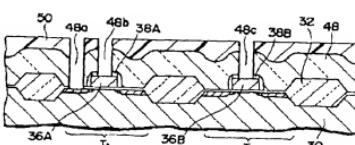
【図10】



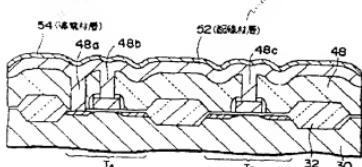
【図11】



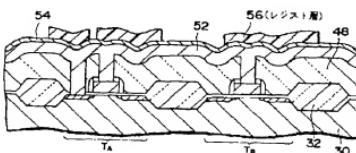
【図12】



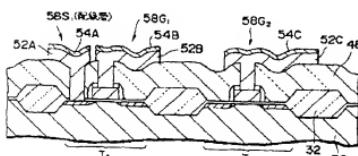
【図13】



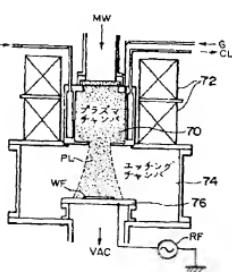
【図14】



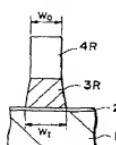
【図15】



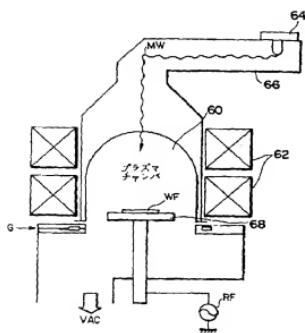
【図17】



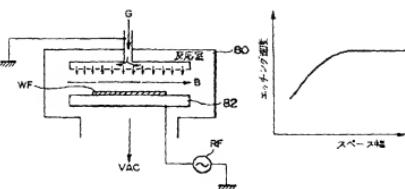
【図24】



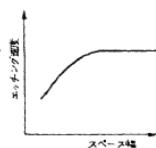
【図16】



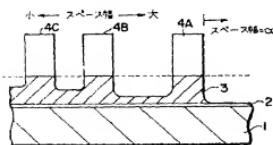
【図18】



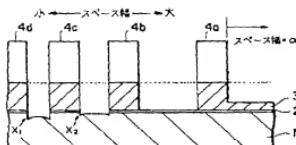
【図20】



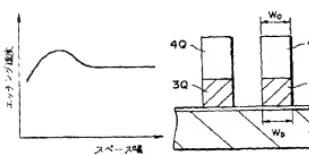
【図19】



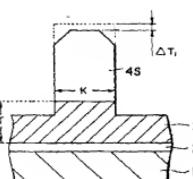
【図21】



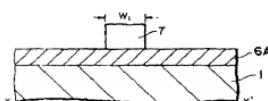
【図22】



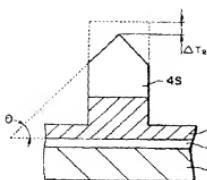
【図23】



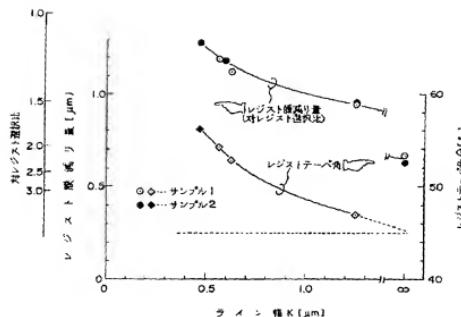
【図30】



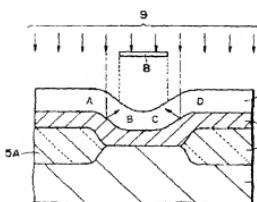
【図26】



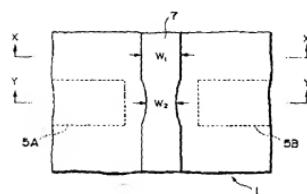
【図27】



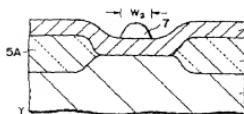
【図28】



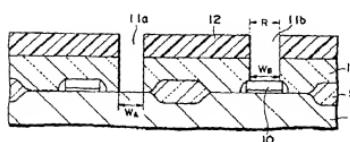
【図29】



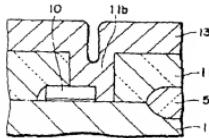
【図31】



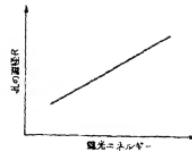
【図32】



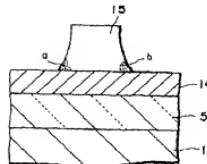
【図33】



【図34】



【図35】



フロントページの続き

(51)Int.Cl.*

H 01 L 29/78
21/336

識別記号

序内整理番号

F 1

技術表示箇所

H 01 L 29/78

3 0 1 G
3 0 1 P

Bibliographic Fields**Document Identity**

(19)【発行国】	(19) [Publication Office]
日本国特許庁(JP)	Japan Patent Office (JP)
(12)【公報種別】	(12) [Kind of Document]
公開特許公報(A)	Unexamined Patent Publication (A)
(11)【公開番号】	(11) [Publication Number of Unexamined Application]
特開平8-17758	Japan Unexamined Patent Publication H01 8 - 17758
(43)【公開日】	(43) [Publication Date of Unexamined Application]
平成8年(1996)1月19日	1996 (1996) January 19 days

Public Availability

(43)【公開日】	(43) [Publication Date of Unclassified Application]
平成8年(1996)1月19日	1996 (1996) January 19 days

Technical

(54)【発明名称】	(54) [Title of Invention]
導電層形成法	CONDUCTIVE LAYER FORMING METHOD
(51)【国際特許分類第6版】	(51) [International Patent Classification, 6th Edition]
H01L 21/28 F	H01L 21/28 F
21/3065	21/3065
21/3213	21/3213
29/78	29/78
21/336	21/336
【FI】	【FI】
H01L 21/302 J	H01L 21/302 J
21/88 D	21/88 D
29/78 301 G	29/78301 G
301 P	301 P
【請求項数】	[Number of Claims]
2	2
【出願形態】	[Form of Application]
FD	FD
【全頁数】	[Number of Pages in Document]
13	13

Filing

【審査請求】	[Request for Examination]
--------	---------------------------

未請求

Unrequested

(21)【出願番号】

(21) [Application Number]

特願平6-174823

Japan Patent Application Hei 6 - 174823

(22)【出願日】

(22) [Application Date]

平成6年(1994)7月4日

1994 (1994) July 4 days

Parties**Applicants**

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000004075

000004075

【氏名又は名称】

[Name]

ヤマハ株式会社

YAMAHA CORPORATION (DB 69-055-8168)

【住所又居所】

[Address]

静岡県浜松市中沢町10番1号

Shizuoka Prefecture Hamamatsu City Nakazawa-cho 10-1

Inventors

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

田原 傑

Tahara Suguru

【住所又居所】

[Address]

静岡県浜松市中沢町10番1号ヤマハ株式会社
内Inside of Shizuoka Prefecture Hamamatsu City
Nakazawa-cho 10-1 Yamaha Corporation (DB 69-055-8168)**Agents**

(74)【代理人】

(74) [Attorney(s) Representing All Applicants]

【弁理士】

[Patent Attorney]

【氏名又は名称】

[Name]

伊沢 敏昭

Isawa Toshiaki

Abstract

(57)【要約】

(57) [Abstract]

【目的】

[Objective]

微細パターンの導電層を寸法精度よく形成する。

conductive layer of fine pattern dimensional accuracy is formed well.

【構成】

[Constitution]

ゲート絶縁膜 34A の上にゲート電極用の電極材層 36 及び反射防止用の TiN 等の導電材層を順次に堆積する。

On gate insulating film 34A electrode material layer TiN or other conductor layer for 36 for gate electrode and anti-reflection is accumulated in sequential.

レジスト層 40A をマスクとするドライエッチング
処理により導電材層をバーニングして導電材patterning doing conductor layer with dry etching treatment
which designates resist layer 40A as mask, part 38 A of

層の部 38A を残存させ

レジスト層 40A 上導電材層をバ
ターニングするには足りない程度の厚さとする。

レジスト層 40A を除去した後、導電材層 38A をマスクとするドライイッチング処理により電極材層 36 をバターニングして電極材層 36 の部を残存させる。

電極材層 36 残存部及び導電材層 38A 積層をゲート電極として用いる。

導電材層 38A 及びレジスト層 40A の積層をクとして用いてもよい。

る。

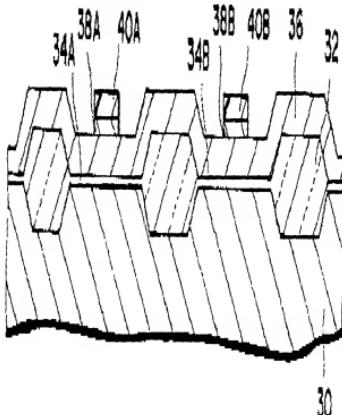
conductor layer it remains.

レジスト層 40A は導電材層をバ
ターニングするには足りない程度の厚さとする。

レジスト層 40A を除去した後、導電材層 38A をマスクとするドライイッチング処理により電極材層 36 をバターニングして電極材層 36 の部を残存させる。

電極材層 36 残存部及び導電材層 38A 積層をゲート電極として用いる。

導電材層 38A 及びレジスト層 40A の積層をクとして用いてもよい。



Claims

【特許請求の範囲】

【請求項 1】

基板の表面を覆う絶縁膜の上に電極用又は配線用第 1 導電材層を形成した後、該第 1 の導電材層上に反射防止用第 2 導電材層を形成する工程と、

フォトリソグラフィ処理により前記第 2 の導電材層の上に所望のパターンを有するレジスト層を形成する工程と、

[Claim(s)]

[Claim 1]

On insulating film which covers surface of substrate for electrode or raster forming first conductor layer for metalization, step, which forms second conductor layer for anti-reflection on said first conductor layer

step, which forms resist layer which possesses desired pattern on the aforementioned second conductor layer with photolithography treatment

前記レジスト層をマスクとするドライエッチング処理により前記第 2 の導電材層をバーニングして前記第 2 の導電材層の一部残存させ工程と、

前記レジスト層を除去した後、前記第 2 導電材層の残存部をマスクとするドライエッチング処理により前記第 1 の導電材層をバーニングすることにより前記第 1 の導電材層の部を残存させ る工程と含み、

前記第 1 導電材層残存部と前記第 2 導電材層の残存部との積層を電極用又は配線用電層として用いる導電層形成法。

【請求項 2】

基板の表面を覆う絶縁膜の上に電極用又は配線用第 1 導電材層を形成した後、該第 1 の導電材層中に反射防止用鋼 2 導電材層を形成する工程と、

フォトリソグラフィ処理により前記第 2 の導電材層の上に所望のパターンを有するレジスト層を形成する工程であ

記第 2 の導電材層をターニングするは足りるが前記第 1 の導電材層をバーニングするは足りない程度に設定するものと、

前記レジスト層をマスクとするドライエッチング処理により前記第 2 の導電材層をバーニングして前記第 2 の導電材層の一部残存させ工程と、

前記レジスト層と前記第 2 の導電材層残存部との積層をマスクとするドライエッチング処理により前記第 1 の導電材層をバーニングすることにより前記第 1 導電材層の部を残存させると共に前記レジスト層を除去する工程と含み

前記第 1 導電材層残存部と前記第 2 導電材層の残存部との積層を電極用又は配線用電層として用いる導電層形成法。

Specification

【発明詳細な説明】

【0001】

【産業上利用分野】

こ

て用いられる微細パターンの導電層を形成する方法に関し、特にバーニング用のマスクとして TiN 等反射防止用の導電材層を用いるこ

patterning doing aforementioned second conductor layer with dry etching treatment which designates aforementioned resist layer as mask, portion of the aforementioned second conductor layer step, which remains

After removing aforementioned resist layer, portion of aforementioned first conductor layer including step which remains with dry etching treatment which designates residue of aforementioned second conductor layer as mask by the patterning doing aforementioned first conductor layer,

residue of aforementioned first conductor layer and conductive layer forming method, which uses the laminate of residue of aforementioned second conductor layer for electrode or as the conductive layer for metallization

[Claim 2]

On insulating film which covers surface of substrate for electrode or the forming first conductor layer for metallization, step, which forms second conductor layer for anti-reflection on said first conductor layer

With step which forms resist layer which possesses desired pattern on the aforementioned second conductor layer with photolithography treatment, thickness of said resist layer the patterning to aforementioned second conductor layer, it is to do the patterning to do aforementioned first conductor layer, those which are set to extent which is not enough and,

patterning doing aforementioned second conductor layer with dry etching treatment which designates aforementioned resist layer as mask, portion of the aforementioned second conductor layer step, which remains

As portion of aforementioned first conductor layer it remains with the aforementioned resist layer and dry etching treatment the laminate of residue of aforementioned second conductor layer as mask by the patterning doing aforementioned first conductor layer including step which removes aforementioned resist layer,

residue of aforementioned first conductor layer and conductive layer forming method, which uses the laminate of residue of aforementioned second conductor layer for electrode or as the conductive layer for metallization

[Description of the Invention]

【0001】

[Field of Industrial Application]

As for this invention, semiconductor device or other electrode or metallization, it is something which assures improvement of dimensional

より寸法精度の向上を図つたものである。

[0002]

【従来の技術】

従来、電極用又は配線用の導電材層をバーニングする方法としては、次の(イ)-(ニ)のような方法が知られている。

[0003]

(イ)図19に示すように半導体基板1表面を覆う絶縁膜2の上に導電材層3を形成した後、周知のフォトリソグラフィ処理により所望のパターンを有するレジスト層4A-4C形成し、これらのレジスト層をマスクとして導電材層3を選択的にドライエッチングする。

[0004]

(ロ)バーニング用のマスクとしてエッティング速度の遅いシリコンオキサイド膜やシリコンナイトライド膜を用いる(例えば、特開平2-125425号公報参照)。

また、バーニング用のマスクとしてシリコンオキサイド、シリコンナイトライド等の無機膜の上にレジスト層を積層した積層膜を用いる(例えば、J.-S.Maa et al.:J.Vac.Sci.Technol.B9(3), May/Jun 1991 p.1596-1597 又は P.E.Riley et al.:Solid State Technology Feb.1993 p.47-55 等参照)。

[0005]

(ハ)高反射率基板上でバーニングを行なう際にバーニング用のマスクとして吸光性染料入りのレジスト層を用いる。

[0006]

(二)高反射率基板上でバーニングを行なう際にバーニングされるべき導電材層の表面に反射防止膜を設ける。

反射防止膜としては、シリコンナイトライド膜を用いる方法が知られており(例えば、特開平1-241125号公報、特開平5-55130号公報等参照)、またTiN膜を用いる方法も知られている(例えば、特開昭60-240127号公報、特開昭61-185928号公報、特開昭63-232432号公報等参照)。

[0007]

accuracy by using conductor layer for the TiN or other anti-reflection as mask for especially patterning.

[0002]

[Prior Art]

Until recently, following (J2) - method like (jp4) is known for the electrode or patterning is done conductor layer for metallization as method which.

[0003]

As shown in (J2) Figure 19, after forming conductor layer 3 on insulating film 2 which covers surface of semiconductor substrate 1, resist layer 4A-4C which possesses desired pattern by widely known photolithography treatment is formed, conductor layer 3 selectively dry etching is done with these resist layer as mask.

[0004]

silicon oxide film and silicon nitride film where etching velocity is slow as mask for the(jp2) patterning are used, (for example Japan Unexamined Patent Publication Hei 2- 125425 disclosure reference).

In addition, laminated film which laminates resist layer on silicon oxide, silicon nitride or other inorganic film as the mask for patterning is used, (for example J.-S.Maa et al.: Journal of Vacuum Science & Technology B9 (3), reference such as May/Jun 1991 p.1596-1597 or P.E.Riley et al.:Solid St at technology Fe.b.1993 p.47-55).

[0005]

resist layer of light-absorbing dye entering is used occasion where patterning is done on (jp3) high reflectivity substrate as mask for patterning.

[0006]

Occasion where patterning is done on (jp4) high reflectivity substrate antireflective film is provided in surface of conductor layer which patterning it should you do.

As antireflective film, method which uses silicon nitride film is known and (Reference such as for example Japan Unexamined Patent Publication Hei 1- 241125 disclosure, Japan Unexamined Patent Publication Hei 5-55130 disclosure, also the method which in addition uses TiN film is known, (Reference such as for example Japan Unexamined Patent Publication Showa 60-240127 disclosure, Japan Unexamined Patent Publication Showa 6 1- 185928 disclosure, Japan Unexamined Patent Publication Showa 6 3-232432 disclosure).

[0007]

【発明が解決しようとする課題】

上記した(イ)の方法で微細配線のバーニングを行なうと、配線間隔(スペース幅)に応じてエッチング速度が変化すること(エッティング速度のマイクロローディング効果)により配線形成歩留りが低下する不都合がある。

【0008】

すなわち、図 19 に示すようにレジスト層 4A,4B,4C 層にスペース幅が減少していくようなパターン例 20 に示すようにスペース幅が狭いほどエッティング速度が低下する」とが

このため、スペース幅が狭い個所で所定量のエッティングを行なうようにすると、スペース幅が広い個所では、エッティング過剰となり、2 等の下地膜層 減りが増大することが

【0009】

また、上記したのは反対にスペース幅が小さくなるとエッティング速度が増大することもある。

すなわち、図 21 に示すようにレジスト層 4a,4b,4c,4d の順にスペース幅が減少していくようなパターンにあっては図 22 に示すようにスペース幅の減少につれてエッティング速度が増大することがある。

このため、スペース幅が広い個所で所定量のエッティングを行なうようすると、スペース幅が狭い個所では、エッティング過剰となり、下地に対する選択比が低い場合は、 X_1, X_2 の個所に示すように下地抜けが生ずることがある。

【0010】

さらに、上記のような微細配線バーニングでは、スペース幅に応じてエッティング形状又は寸法が変化すること(エッティング形状のマイクロローディング効果)により配線形成歩留りが低下する不都合もある

【0011】

すなわち、図 23 に示すように密集したレジスト層 4P,4Q をマスクとしてドライエッティングを行なうことにより密集した配線層 3P,3Q を得る場合、例えば配線層 3P の幅 W_D は、レジスト層 4P の幅 W_0 には等しくなる ($W_D = W_0$)。

これに対し、図 24 に示すように孤立した幅 W_0 のレジスト層 4R をマスクとしてドライエッティングを行なうことにより孤立した配線層 3R を得る場合には、配線層 3R の幅 W_1 は、図 23 に示した

【Problems to be Solved by the Invention】

When patterning of fine metallization is done with method of (J2) which younscribed, there is a undesirable where metallization yield rate decreases with thing(microloading effect of etching velocity) where etching velocity changes according to metallization interval (space width).

【0008】

As shown in namely, Figure 19, there being a kind of pattern which space width decreases to order of resist layer 4A,4B,4C, as shown in Figure 20. extent etching velocity where space width is narrow decreases has .

Because of this, when it tries to do etching of predetermined amount with the site where space width is narrow, with site where space width is wide, it becomes etching excess, film reduction of insulating film 2 or other base film increases has.

【0009】

In addition, when inscribed with becomes in opposite direction the space width small, there are also times when etching velocity increases.

As shown in namely, Figure 21, there being a kind of pattern which space width decreases to order of resist layer 4a,4b,4c,4d, as shown in Figure 22, etching velocity increases has accompanied by decrease of space width.

Because of this, etching of desired amount is done with site where space width is wide when it requires, with site where space width is narrow, it becomes etching excess, when selectivity for substrate is low, as shown in site of X_1, X_2 , substrate coming out occurs, is.

【0010】

Furthermore, as description above with fine metallization patterning, there is also a undesirable where metallization yield rate decreases with thing (microloading effect of etching shape) where etching shape or dimension changes according to space width.

【0011】

As shown in namely, Figure 23, when metallization layer 3P,3Q which crowds by doing dry etching with resist layer 4P,4Q which crowds as mask is obtained, width W_D of the for example metallization layer 3P almost becomes equal in width W_0 of resist layer 4P, ($W_D = W_0$).

Vis-a-vis this, as shown in Figure 24, when metallization layer 3R which is isolated by doing dry etching with resist layer 4R of width W_0 which is isolated as mask is obtained, as for width W_1 of metallization layer 3R, ($W_1 > W_D$) being

幅 W_D よりも大きくなる ($W_1 > W_D$) ので一般的で
あり、例外的に WSi_2 / ポリ Si 層上に WSi_2 層を積層したもののエッチングでは、
 $W_1 < W_D$ となることもある。

[0012]

$W_1 > W_D$ になる例としては、エッティングガスとして BCl_3 / Cl_2 を用いて Al 合金をエッティングする場合、エッティングガスとして Cl_2 / O_2 、 Cl_2 / N_2 又は $SF_6 / C_2 Cl_1 F_3$ 等を用いてポリ Si 層又はポリサイド層(ポリ Si 層上にシリサイド層を積層したもの)をエッティングする場合などがある。

また、 $W_1 < W_D$ になる例としては図 18 について後述するようなマグネトロン RIE(反応性イオントリミング)装置においてエッティングガスとして HBr / SF_6 を用いてポリサイド層をエッティングする場合などがある。

[0013]

ところで、上記のような微細配線バーニングにあつてはジスト等のマスク材の膜減り量の増大(対マスク選択比の低下)により配線形成歩留りが低下する不都合もある。

[0014]

すなわち、ドライエッティングにおいては ガスとマスク材との化学反応に加えてイオンあるいは運動エネルギーを持つ粒子がマスク材に衝突することによってマスク材に膜減りが生ずる。

運動エネルギーを持つ粒子がマスク材に衝突する場合、マスク材は 図 25 でレジスト層 4S に示すように肩が落ちたような形になる。

マスク材の肩部の角度は、最もスパッタ効率がよくなるような値となる。

しかし、実際の角度は、純粹に物理的なスパッタエッティングで効率が 45° とはならない。

マスク材の肩部がスパッタされる現象を「ファセッティング」と呼び、肩部にできた面を「ファセット」と呼ぶ。

[0015]

図 25 は、レジスト層 4S をスクして導電材層 3 をドライエッティングして配線層を形成する工程を示すもので、ライン幅(配線幅)K(導電材層 3 厚さ T に近い小さな値)に設定されている。

図 25 に示すようにファセッティングが生じても、左右のファセットが接するまではレジスト層 4S の面が存 在しており、レジスト層 減り量 ΔT ,

general to become large, in comparison with width W_D which is shown in Figure 23 except with etching of WSi_2 /poly Silaminate (Those which laminate WSi_2 layer on poly Si layer.), there are also times when it becomes $W_1 < W_D$.

[0012]

As example which becomes $W_1 > W_D$, as etching gas when etching it does Al alloy making use of BCl_3 / Cl_2 , as etching gas when etching it does poly Si layer or poly side layer (Those which laminate silicide layer on poly Si layer.) making use of Cl_2 / O_2 , Cl_2 / N_2 or $SF_6 / C_2 Cl_1 F_3$ etc etc, it is.

In addition, in magnetron RIE (reactive ion etching) device which it mentions later as the example which becomes $W_1 < W_D$, concerning Figure 18 as etching gas when etching it does poly side layer making use of HBr / SF_6 etc, it is.

[0013]

By way, as description above there being a fine metallization patterning, there is also a undesirable where metallization yield rate decreases with increase (Decrease of anti-mask selectivity) of amount of film reduction of resist or other mask.

[0014]

Regarding namely, dry etching, chemical reaction of gas and mask in addition to ion or particle which had kinetic energy film reduction occurs in the mask it collides to mask due to .

When particle which had kinetic energy collides to mask, mask as with Figure 25 shown in resist layer 4S, becomes kind of shape where shoulder falls.

angle of shoulder of mask, reaches kind of value where sputtering efficiency becomes best.

But, actual angle does not become with 45 deg whose efficiency is goodpurely with physical sputter etching.

Surface where shoulder of mask "fa setting." with calls phenomena which sputter is done, can make shoulder is called "facet" with.

[0015]

As for Figure 25, dry etching doing conductor layer 3 with resist layer 4S as the mask, being something which shows step which forms metallization layer, asfor line width (metallization width) K, it is set to small value which is close to thickness T of conductor layer 3.

As shown in Figure 25, フア setting occurring, until facet leftand right touches, top of resist layer 4S exists, amount of film reduction de T_f of resist is equal to amount of film

〔導電材層（被エッチング材層）3 膜厚 T に比べて十分大きなパターンのレジストの膜減り量に等しい。〕

〔0016〕

ところが、図 26 に示すようにエッチングが進行して左右のファセットが接するようになると、レジストの膜減り量 ΔT_2 は、導電材層 3 の膜厚に比べて十分大きなパターンのレジストの膜減り量より大きくなる。

これは、ファセットティングの膜厚方向の成分と膜厚方向のレジストエッチング速度との和がレジストの膜減り速度になるためであろうと発明者は考えている。

〔0017〕

このような現象には、配線幅が小さくなる既観者である。

すなわち、配線が細くなるほど実効的な対レジスト選択比が低下する。

〔0018〕

図 27 は、レジスト膜減り量と、対レジスト選択比と、レジストテーパ角 θ についてライン幅 K 依存性を示すものである。

レジストテーパ角 θ は、図 26 に示すようにいずれかのアセットの延長線と導電材層 3 の底面とが交差する角度である。

図 27 のデータは、図 16 について後述するようなマイクロ波プラズマエッチャにおいて、エッチングガスとして BCl_3/Cl_2 を用いて Al 合金をエッチングした際に得られたものであり、これによればライン幅 K の減少に伴いレジスト膜減り量が増大する（対レジスト選択比が低下する）と共にレジストテーパ角 θ が増大することがわかる。

〔0019〕

エッチングマスクとして使用されるレジスト層の厚さを薄くすると、フォトリソグラフィの焦点深度が深くなり、微細なパターン形成が可能となる。

また、レジスト層の厚さを薄くすることで、ドライエッチングのマイクロローディング効果も低減される。

〔0020〕

しかしながら、図 25~27 に関して前述したように、配線の微細化に伴って配線のエッチングマスクに対する実質的な選択比は低下するので、レジスト層を薄くすると、エッチング中にレジスト層が消失して配線が断線に至ることがある。

reduction of resist of fully large pattern conductor layer (material being etched layer) in comparison with film thickness T of 3.

〔0016〕

However, as shown in Figure 26, etching advancing, when it reaches point where facet left and right touches, as for amount of film reduction:de T_2 of resist, it becomes larger than amount of film reduction of resist of fully large pattern in comparison with film thickness of conductor layer 3.

This, that probably will be, because sum total of component of the film thickness direction of ファ setting and resist etching velocity of film thickness direction becomes film reduction velocity of resist, thinks inventor.

〔0017〕

This kind of phenomena extent where metallization width becomes small is remarkable.

Extent effective anti- resist selectivity where namely, metallization becomes thin decreases.

〔0018〕

Figure 27 is something which shows line width K dependency concerning with resist film decreasing quantity and anti- resist selectivity and resist taper angle;th.

resist taper angle;th, as shown in Figure 26, is extrapolation of facet of the any and angle which bottom surface of conductor layer 3 crosses.

In microwave plasma エッチャ *Thea sinensis L.* (tea) which it mentions later concerning the Figure 16, as etching gas being something which is acquired occasionwhere etching it does Al alloy making use of BCl_3/Cl_2 , according to this with (Anti-resist selectivity decreases.) which resist film wear quantity increases attendant upon decrease of line width K resist taper angle;th it increases data of Figure 27, you understand .

〔0019〕

When thickness of resist layer which is used as etching mask is made thin, focus depth of photolithography becomes deep, microscopic pattern formation becomes possible.

In addition, by fact that thickness of resist layer is made thin, also microloading effect of dry etching is decreased.

〔0020〕

But, as mentioned earlier in regard to Figure 25~27, because effective selectivity for etching mask of metallization attendant upon narrowing of metallization decreases, when resist layer is made thin, resist layer disappearing in the etching, metallization reaches to line break, is.

従って、レジスト層をあまり薄くすることはできない。

【0021】

パターンの微細化に伴う対マスク選択比の低下等の問題点を解決するには、マスク材に対して高い選択性を有するエッチング技術を開発するか又は高い選択性を有するマスク材を採用する必要がある。

前述した(jp2)の方法は、マスク材に対するエッチング選択比を高くする方法として有効である。

【0022】

しかしながら、パターニング用のマスクとしてシリコンオキサイド膜を用いる方法では、シリコンオキサイド膜が反射防止膜として機能しないという問題点がある。

反射防止膜について後述する。

また、パターニング用のマスクとしてシリコンナイトライド膜を用いる方法では、シリコンナイトライド膜の反射防止機能が不十分であるという問題点がある。

その上、いずれの方法でも、エッチング後に無機のマスク材が配線又は電極の表面に残存することになり、後工程で基板が高温を経験すると、マスク材と導電材との熱膨張係数の違いによりマスク材が剥離する。剥離したマスク材がパーティクルとなり、歩留りを低下させるという問題点がある。

【0023】

ところで、高反射率基板上に配線を形成するに際しては、基板表面での乱反射によりパターンの法精度が低下する不都合がある。

【0024】

すなわち、図28に示すように半導体基板1の表面に絶縁膜5A,5Bにより段差がある場合、基板表面に配線材層6Aを介してレジスト層7Aを形成し、レジスト層7Aに対して所望のパターンを有するマスク8を介して光9を照射して露光処理を行なうと、反射率の高い配線材層6Aの斜面AB,CDで光が反射されてレジスト層7Aの露光すべきでない領域にまで光が回り込み、該領域を感光させてしまう。

しかし

この後、レジスト現像を行なうと、図29に示すようなパターンを有するレジスト層7が得られる。

Therefore, it is not possible to make resist layer excessively thin.

【0021】

Decrease or other problem of anti-mask selectivity which accompanies narrowing of pattern is solved, it develops etching technology which possesses high selectivity vis-a-vis mask it is necessary to adopt mask which possesses high selectivity.

method of (jp2) which you mention earlier is effective as the method which makes selected etching ratio for mask high.

【0022】

But, with method which uses silicon oxide film as mask for patterning, silicon oxide film, there is a problem that does not function as antireflective film.

Concerning antireflective film it mentions later.

In addition, with method which uses silicon nitride film as mask for the patterning, there is a problem that antireflective function of silicon nitride film is insufficient.

When on that, even with any method, it is decided that after etching mask of inorganic remains on surface of metallization or electrode, substrate experiences high temperature with postprocessing, mask peeling off from surface of metallization or electrode with difference of thermal expansion factor of mask and conductor, it becomes particle, yield rate there is a problem that decreases.

【0023】

When by way, metallization is formed on high reflectivity substrate, there is a undesirable where with substrate surface dimensional accuracy of pattern decreases with diffuse reflectance.

【0024】

As shown in namely, Figure 28, when when there is a step depending upon the insulating film 5A,5B, through metallization material layer 6 A to substrate surface, through mask 8 which forms resist layer 7A, possesses desired pattern vis-a-vis the resist layer 7A irradiating light 9, it does exposure in surface of the semiconductor substrate 1, Light being reflected with inclined surfaces AB, CD of metallization material layer 6 A where reflectivity is high, light turns to domain resist layer 7A we should not expose, said domain is exposed to light.

When after this, resist development is done, resist layer 7 which possesses kindof pattern which is shown in Figure 29 is acquired.

【0025】

レジスト層 7 は、図 29,30 に示すように平坦部では断面形状が矩形となり且つ所望の幅 W_1 が得られるが、図 29,31 に示すように絶縁膜 5A,5B に挟まれた部分では断面形状が半円状となり且つ所望の幅 W_1 より狭い幅 W_2 しめられない。

このため、レジスト層 7 をスクリプトとして配線層 6A をドライエッチングで形成する場合、配線層 6B には幅 W_2 の部分で細りや断線が生ずることになる。

【0026】

高反射率基板上に配線を形成するに際しては、反射率が異なる場所でパターン寸法が異なるという問題もある。

【0027】

一例として、図 32 に示すように基板 1 上に絶縁膜 5 及びゲート電極層 10 複数の絶縁膜 11 を形成した後、レジスト層 12 をマスクとするドライエッチング処理により基板表面に達する絶縁孔 11a とゲート電極層 10 に達する接続孔 11b を形成する場合、接続孔 11a の法 W_A よりも接続孔 11b の法 W_B 内が大きくなる。

このように接続孔 11b の法が大きくなると、フォトリソグラフィ工程での位置合わせ余裕が少くなり、図 33 に示すように接続孔 11b がゲート電極層 10 からはずれた位置に形成されることがある。

この結果、配線層 13 は、ゲート電極層 10 と基板表面とを電気的に短絡させ

このような事態を防ぐには、設計的に位置合わせ余裕を大きくする必要があり、集積度の低下を招く。

【0028】

反射率が高い場所で接続孔の寸法が大きくなるのは、レジスト層 12 の孔の直径 R が大きくなることによるもので、孔の直径 R が大きくなる理由は、次に説明される。

【0029】

すなわち、フォトリソグラフィ技術においては、レジストを現像液に溶けにくしている感光剤を光照射部分のみ分解させて現像液に溶かすことによってパターンを形成している。

【0025】

As for resist layer 7, as shown in Figure 29,30, with flat part cross section shape to become rectangular and desired width W_1 is acquired, but as shown in Figure 29,31, with portion which was put between to insulating film 5A,5B cross section shape becomes semicircle and and only width W_2 which is narrower than desired width W_1 can acquire.

Because of this, dry etching doing metallization material layer 6A with resist layer 7 as mask, when it forms metallization layer, in metallization layer it means that becoming thin and line break occur with portion of the width W_2 .

【0026】

When metallization is formed on high reflectivity substrate, there is also a problem that the pattern dimension differs in site where reflectivity differs.

【0027】

As one example, as shown in Figure 32, being covered insulating film 5 and gate electrode layer 10 on substrate 1, after forming insulating film 11, when insulating hole 11a which reaches to substrate surface due to dry etching treatment which designates resist layer 12 as mask and coupling hole 11b which reaches to gate electrode layer 10 it is, dimension W_B of coupling hole 11b becomes large in comparison with dimension W_A of coupling hole 11a.

This way when dimension of coupling hole 11b becomes large, as position alignment room with photolithography process decreases, shown in Figure 33 is formed to position where coupling hole 11b slips from gate electrode layer 10 is.

As a result, metallization layer 13 is formed, in order shunt to るようになされた gate layer 10 and substrate surface in electrical.

To prevent this kind of situation, it is necessary to enlarge position alignment room design, causes decrease of degree of integration.

【0028】

As for dimension of coupling hole becoming large with site where the reflectivity is high, with thing, as for reason where diameter R of hole becomes large, following way it is explained by fact that diameter R of hole of resist layer 12 becomes large.

【0029】

Regarding namely, photolithography technology, resist to dissolve only photoirradiated part amount disassembling photosensitizer which has made difficult in developer, pattern is formed with .

感光剤の分解量は、露光エネルギーを増やすと増加する。

従って、図34に示すように孔の直径Rは、露光エネルギーの増加に伴って増大する。

【0030】

ゲート電極層10のように反射率が高い物体がレジスト層12の下方に存在すると、かかる物体からの反射光がレジスト層12に加えられる。

このため、レジスト層12に吸収される実効的な露光エネルギーは、反射率が低い場所に比べて大きくなる。

従って、感光剤の分解が促進され、孔の直径Rが大きくなる。

【0031】

前述した(ハ)の方法では、露光用の光を吸収するような染料をレジスト層に添加するので、光の反射による寸法精度の低下をある程度抑制することができる。

【0032】

しかしながら、図35に示すように絶縁膜5を覆う配線材層14の上に所望のパターンを有する染料入りレジスト層15を形成すると、レジスト層15の断面形状は、裾をひいたテーパ状となる。

これは、レジストの露光エネルギーがレジスト表面から深くなるにつれて減衰し、レジストパターンの寸法は、露光エネルギーが小さくなるほど太くなることによるものである。

レジスト層15の裾部a,bは、レジスト層15をマスクとして配線材層14をドライエッチングして配線層を形成する際に、ドライエッティングによりエッチングされてしまい、配線層に細りが生じるごとがある。

また、レジスト層15は、染料を含むため、フォトリソグラフィ工程での解像度が低下する。

従って、前記(ハ)の方法は、パターンの微細化には向きである。

【0033】

一方、前述した(ニ)の方法は、レジスト層の下で導電材層の表面に反射防止膜を設けて光反射を抑制するので、光反射による寸法精度の低下を防止するのに有効であり、しかも前記(ハ)の方法にあつたような問題点もない。

decomposition amount of photosensitizer increases, when exposure energy is increased.

Therefore, as shown in Figure 34, it increases diameter R of hole, attendant upon increase of exposure energy.

【0030】

Like gate electrode layer 10 when object where reflectivity is high exists in lower of resist layer 12, it can add to resist layer 12 reflected light from this object.

Because of this, effective exposure energy which is absorbed in resist layer 12 becomes large in comparison with site where reflectivity is low.

Therefore, disassembly of photosensitizer is promoted, diameter R of hole becomes large.

【0031】

Because with method of (jp3) which you mention earlier, dye which absorbs light for exposure is added to resist layer, decrease of dimensional accuracy certain extent can be controlled with reflection of light.

【0032】

But, as shown in Figure 35, when dye entering resist layer 15 which possesses desired pattern with respect to metallization material layer 14 which covers insulating film 5 is formed, cross section shape of resist layer 15 becomes taper which pulled hem.

As exposure energy of resist becomes deep from resist surface, attenuation it does this, as for dimension of resist pattern, extent where exposure energy becomes small is thing by fact that it becomes thick.

hem a,b of resist layer 15 dry etching doing metallization material layer 14 with resist layer 15 as mask, when forming metallization layer, etching is done with dry etching, becoming thin occurs in metallization layer, is.

In addition; as for resist layer 15, because dye is included, the resolution with photolithography process decreases.

Therefore, method of aforementioned (jp3) is unsuitable to the narrowing of pattern.

【0033】

On one hand, because method of (jp4) which is mentioned earlier, under resist layer providing antireflective film in surface of conductor layer, controls light reflection, being effective in order to prevent decrease of dimensional accuracy with light reflection, furthermore there is not either a problem which is in method of aforementioned (jp3).

[0034]

しかしながら、前記(ニ)の方法は、反射防止膜を用いるものの、エッチングマスクとしては十分な厚さのレジスト層を用いるので、ドライエッチング時のマイクローディング効果を低減することができない。

[0035]

この発明の目的は、微細なパターンを有する導電層を寸法精度よく形成することができる新規な導電層形成法を提供することにある。

[0036]

【課題を解決するための手段】

この発明に係る導電層形成法は、基板の表面を覆う絶縁膜の上に電極用又は配線用の第1の導電材層を形成した後、該第1の導電材層の上に反射防止用の第2の導電材層を形成する工程と、フォトリソグラフィ処理により前記第1の導電材層の上に所望のパターンを有するレジスト層を形成する工程と、前記レジスト層をマスクとするドライエッチング処理により前記第1の導電材層をバーニングする工程と、前記第2の導電材層の一部を残存させる工程と、前記レジスト層を除去した後、前記第2の導電材層の残存部をマスクとするドライエッチング処理により前記第1の導電材層をバーニングすることにより前記第1の導電材層の一部を残存させる工程とを含み、前記第1の導電材層の残存部と前記第2の導電材層の残存部との積層を電極用又は配線用の導電層として用いるようにしたものである。

[0037]

このような導電層形成法にあっては、レジスト層の厚さを第2の導電材層をバーニングするには足りるが第1の導電材層をバーニングするには足りない程度に設定してもよい。

そして、第2の導電材層のバーニングの後レジスト層を除去^{され}に、レジスト層と第2の導電材層の残存部との積層をマスクとするドライエッチング処理により第1の導電材層をバーニングすることにより第1の導電材層の一部を残存させると共にレジスト層を除去するようにしてよい。

[0038]

【作用】

この発明の方法によれば、第1の導電材層をバーニングする際のエッチングマスクとして第2

[0034]

But, because method of aforementioned (jp4), although antireflective film is used, uses resist layer of sufficient thickness as etching mask, microloading effect at time of dry etching is decreased is not possible.

[0035]

objective of this invention conductive layer which possesses microscopic pattern is to offer novel conductive layer forming method which dimensional accuracy well can be formed.

[0036]

[Means to Solve the Problems]

As for conductive layer forming method which relates to this invention, on insulating film which covers surface of substrate for electrode or after forming first conductor layer for metallization, patterning doing aforementioned second conductor layer with dry etching treatment which designates step, aforementioned resist layer which forms resist layer which possesses desired pattern on aforementioned second conductor layer with step. photolithography treatment which forms second conductor layer for anti-reflection on said first conductor layer as the mask portion of aforementioned second conductor layer after removing step, aforementioned resist layer which remains. Portion of aforementioned first conductor layer including step which remains, it is something which it makes residue of aforementioned first conductor layer and to use laminate of residue of aforementioned second conductor layer for electrode or as conductive layer for metallization with dry etching treatment which designates residue of aforementioned second conductor layer as mask by the patterning doing aforementioned first conductor layer.

[0037]

There being this kind of conductive layer forming method, thickness of resist layer patterning to do second conductor layer, it is enough, but patterning to do first conductor layer, it is possible to set to extent which is not enough.

And, without removing rear resist layer of patterning of second conductor layer, it is possible with dry etching treatment which designates laminate of the residue of resist layer and second conductor layer as mask by patterning doing the first conductor layer as it remains, portion of first conductor layer to remove resist layer.

[0038]

[Working Principle]

According to method of this invention, when patterning doing the first conductor layer, it can use residue of second

の導電材層の残存部が用いられる。

第2の導電材層としては、TiN層又はTiON層等を用いることができ、例えばTiN層では30~50nm程度の厚さで反射防止効果が得られる。

【0039】

従って、第2の導電材層をパターニングする際に用いるレジスト層の厚さを薄くすることができ、フォトリソグラフィ工程での焦点深度を向上させることができる。

また、第1の導電材層をパターニングする際には、エッチングマスクとしての第2の導電材層の残存部が薄いので、マイクロローディング効果が低減される。

【0040】

また、上記したようにレジスト層と第2の導電材層の残存部との積層をエッチングマスクとして用いる場合は、第1の導電材層をパターニングする工程でレジスト層が除去されるので、レジスト層を除去するための独立した工程が不要である。

【0041】

【実施例】

図1~図15は、この発明の一実施例に係るMOS型ICの製法を示すもので、各々の図に対応する工程(1)~(15)を順次に説明する。

【0042】

(1)例図シ リコンからなる半導体基板30の表面に周知の選択酸化処理によりシリコンオキサイドからなるフィールド絶縁膜32を形成する。

絶縁膜32は、アクティブ領域を配置するための孔32A,32Bを有する。

孔32A,32B内の基板表面を酸化してシリコンオキサイドからなるゲート絶縁膜34A,34Bを形成する。

絶縁膜34A,34Bとしては、Si₃N₄膜を用いてよい。

【0043】

(2)基板上面に絶縁膜32,34A,34Bを覆ってゲート電極用の電極材層36を堆積した後、電極材層36の上に反射防止用兼エッチングマスク用の導電材層38を堆積する。

conductor layer as etching mask.

As second conductor layer, be able to use TiN layer or TiON layer etc, with the example TiN layer anti-reflective effect is acquired with thickness of 30 - 50 nm extent.

【0039】

Therefore, when patterning doing second conductor layer, thickness of resist layer which is used is made thin, it is possible , focus depth with the photolithography process can improve.

In addition, when patterning doing first conductor layer, because residue of the second conductor layer as etching mask is thin, microloading effect is decreased.

【0040】

In addition, as inscribed, when laminate of residue of resist layer and second conductor layer it uses, as etching mask because patterning is done the resist layer is removed first conductor layer with step which, step which in order to remove resist layer becomes independent is unnecessary.

【0041】

【Working Example(s)】

Figure 1~Figure 15 being something which shows production method of MOS type IC which relates to one Working Example of this invention. Process which corresponds to each figure (1) - explains (15) to sequential.

【0042】

field insulating film 32 which consists of silicon oxide with widely known selective oxidation treatment is formed in surface of semiconductor substrate 30 which consists of (1) for example silicon.

insulating film 32 has hole 32 A,32B in order to arrange active domain.

oxidation doing substrate surface inside hole 32 A,32B, it forms gate insulating film 34A,34B which consists of silicon oxide.

As insulating film 34A,34B, making use of Si₃N₄ film it is good.

【0043】

Being covered insulating film 32,34A,34B in (2) substrate top, after accumulating electrode material layer 36 for gate electrode, it accumulates conductor layer 38 for anti-reflection and the etching mask with respect to electrode material layer ??

36.

電極材層 36 としては、ポリ Si 層又はポリサイド層(例えば WSi_2 /ポリ Si 層)を用いることができる。

また、導電材層 38 としては、TiN 層又は TiON 層を用いることができ、いずれの層も CVD(ケミカル・ベーバー・デポジション)法又は反応性スパッタ法により堆積可能である。

導電材層 38 の厚さは、反射防止効果が得られる最小の厚さとすることができます、例えば TiN 層又は TiON 層を用いると共に露光に i 線又は g 線の光を用いる場合、30-50nm 程度あればよい。

【0044】

(3)図 3-5 の工程では、フォトリソグラフィ処理により所望のレジストパターンを形成する。

まず、回転塗布法等により基板上面に導電材層 38 を覆ってレジスト層 40 を形成する。

【0045】

(4)次に、露光処理を行なう。

すなわち、所望のゲート電極形態パターンを有する遮光性マスク M_A , M_B を介してレジスト層 40 に露光用の光 UV を照射する。

【0046】

(5)次に、レジスト層 40 に現像処理を施し、所望のパターンを有するレジスト層 40A,40B を残存させる。

レジスト層 40A,40B の厚さは、導電材層 38 をバーナーニングするには足りるが電極材層 36 をバーナーニングするには足りない程度に薄くてよく、例えば $0.5\mu m$ にすることができる。

【0047】

(6)レジスト層 40A,40B をマスクとするドライエッチング処理により導電材層 38 をバーナーニングして導電材層 38A,38B(いずれも導電材層 38 の一部)を残存させる。

このとき、エッティングガスとしては、 Cl_2 を用いるといよ。

【0048】

(7)アッシング処理によりレジスト層 40A,40B を除去する。

別の方法としては、有機溶剤を用いる洗浄処理等によりレジスト層 40A,40B を除去してもよい。

As electrode material layer 36, poly Si layer or poly side layer (for example WSi_2 /poly Si layer) can be used.

In addition, be able to use TiN layer or TiON layer as conductor layer 38, it is accumulation possible each layer with CVD (chemical * vapor * deposition) method or reactive sputtering method .

thickness of conductor layer 38 makes minimum thickness where antireflection effect is acquired, as if is possible , uses for example TiN layer or TiON layer when light of the i-line or g-line is used for exposure, 30 - 50 nm extent it should have been.

[0044]

With step of (3) Figure 3-5, desired resist pattern is formed with photolithography treatment.

First, being covered conductor layer 38 in substrate top by spin coating method, etc it forms resist layer 40.

[0045]

(4) Next, exposure is done.

Through light blocking mask M_A , M_B which possesses namely, desired gate electrode formed pattern optical UV forexposure is irradiated to resist layer 40.

[0046]

(5) Next, it administers development to resist layer 40, resist layer 40A,40B which possesses desired pattern it remains.

conductor layer 38 patterning to do thickness of resist layer 40A,40B, it is enough, but patterning to do electrode material layer 36, may be to extent which is not enough thin, for example $0.5\mu m$ can make.

[0047]

patterning doing conductor layer 38 with dry etching treatment which designates(6) resist layer 40A,40B as mask, conductor layer 38A,38B (Which portion of conductor layer 38) it remains.

This time, as etching gas, Cl_2 should have been used.

[0048]

resist layer 40A,40B is removed with (7) ashing .

As another method, it is possible to remove resist layer 40A,40B with washing etc which uses organic solvent.

【0049】

(8)導電材層 38A,38B をマスクとするドライエッチング処理により電極材層 36 をバーニングして電極材層 36A,36B(いずれも電極材層 36 の一部)を残存させる。

電極材層 36A 及び導電材層 38A の積層は、ゲート電極層 42A を構成し、電極材層 36B 及び導電材層 38B の積層は、ゲート電極層 42B を構成する。

【0050】

電極材層 36 のバーニングにおいて、エッティングガスとしては、 Cl_2/O_2 、 Cl_2/SF_6 、 HBr/SF_6 、 HBr/O_2 などの O_2 又は F を含むガスを使用するといよ。

O_2 又は F を含むガスを使用すると、 TiN (又は TiON)の表面に蒸気圧の低い酸化チタン($\text{TiO}, \text{TiO}_2, \text{Ti}_2\text{O}_3$)又はフッ化チタン(TiF_3)が形成され、 TiN 又は TiON のエッティング進行を抑制する。

このため、 TiN (又は TiON)の層は、エッティングマスクとしての機能を十分に果たす。

【0051】

(9)電極層 42A,42B 及び絶縁膜 32 をマスクとして基板表面に導電型決定不純物のイオン ION を選択的に注入することにより低不純物濃度のソース領域及びドレイン領域を形成する。

そして、電極層 42A,42B にそれぞれサイドスペーサー $44\text{A},44\text{B}$ を設けた後再び上記したと同様に選択的イオン注入処理を行なうことにより高不純物濃度のソース領域及びドレイン領域を形成する。

この結果、いずれも低濃度部を有するソース領域 $46\text{S}_1,46\text{S}_2$ 及びドレイン領域 $46\text{D}_1,46\text{D}_2$ が得られる。

MOS 型トランジスタ T_A は、電極層 42A、ソース領域 46S_1 及びドレイン領域 46D_1 を含むものであり、MOS 型トランジスタ T_B は、電極層 42B、ソース領域 46S_2 及びドレイン領域 46D_2 を含むものである。

【0052】

(10)CVD 法等により基板上面にトランジスタ T_A, T_B 及び絶縁膜 32 を覆って瞬間絶縁膜 48 を形成する。

絶縁膜 48 としては、シリコンオキサイド膜、シリコンナитライド膜、PSG(リンケイ酸ガラス)膜、BPSG(ボロン・リンケイ酸ガラス)膜等を用いるこ

【0049】

patterning doing electrode material layer 36 with dry etching treatment which designates (8) conductor layer 38A,38B as mask, electrode material layer 36 A,36B (Which portion of electrode material layer 36) itremains.

electrode material layer 36 A and laminate of conductor layer 38A form gate electrode layer 42 A, electrode material layer 36 B and laminate of conductor layer 38B form gate electrode layer 42 B.

【0050】

In patterning of electrode material layer 36, as etching gas, gas which includes Cl_2/O_2 , Cl_2/SF_6 , HBr/SF_6 , HBr/O_2 or other O_2 or F should have been used.

When gas which includes O_2 or F is used, the titanium dioxide where vapor pressure is low in surface of TiN (Or TiON) ($\text{TiO}, \text{TiO}_2, \text{Ti}_2\text{O}_3$) or the fluoride titanium (TiF_3) is formed, controls etching advance of TiN (Or TiON).

Because of this, layer of TiN (Or TiON) carries out function as the etching mask in fully.

【0051】

With (9) electrode layer 42A,42B and insulating film 32 as mask source region and drain region of low impurity concentration are formed by selectively filling ion ION of the conduction type decisive impurity in substrate surface.

That again and, after respectively providing side spacer $44\text{A},44\text{B}$ in electrode layer 42A,42B,you inscribed, source region and drain region of high impurity concentration are formed bydoing selective ion implantation process in same way.

As a result, source region $46\text{S}_1,46\text{S}_2$ and drain region $46\text{D}_1,46\text{D}_2$ which in each case possess the low concentration part are acquired.

As for MOS type transistor T_A , being something which includes electrode layer 42A, source region 46S_1 and the drain region 46D_1 , as for MOS type transistor T_B , it is something which includes electrode layer 42B, source region 46S_2 and drain region 46D_2 .

【0052】

Being covered transistor T_A, T_B and insulating film 32 in substrate top by (10) CVD method,etc it forms interlayer insulating film 48.

As insulating film 48, silicon oxide film, silicon nitride film, PSG (phosphorus silicate glass) film, BPSG (boron * phosphorus silicate glass) film etc can be used.

とができる。

【0053】

(11) フォトリソグラフィ処理により絶縁膜8の上に所望の接続孔形成パターンを有するレジスト層50を形成する。

絶縁膜48が透明性を有する場合、各々ゲート電極層を構成する導電材層38A,38Bは、レジスト層50に露光処理を施す際に反射防止膜として働くので、ゲート電極層の上方ではレジストパターンの寸法精度が良好である。

【0054】

(12) レジスト層50をマスクとするドライエッチング処理により絶縁膜48にソース用の接続孔48a、ゲート用の接続孔48b,48cを形成する。

導電材層38A,38Bの表面に前述したように酸化チタン、フッ化チタン等の絶縁膜が形成される場合は、良好な電気接触を得るために接続孔48b,48cを導電材層38A,38Bをそれぞれ介して電極材層36A,36Bに達するように形成する。

導電材層38A,38Bの表面に絶縁膜が形成されない場合は、接続孔48b,48cを導電材層38A,38Bの表面に達するように形成してもよい。

この後、レジスト層50を除去する。

【0055】

(13) 基板上面に絶縁膜48及び接続孔48a-48cを覆ってAl又はAl合金等の配線材層52を堆積する。

そして、配線材層52の上にTiN又はTiON等の反射防止用兼エッチングマスク用の導電材層54を図2の工程で述べたと同様に形成する。

【0056】

(14) フォトリソグラフィ処理により導電材層4の上に所望の配線形成パターンを有するレジスト層56を形成する。

【0057】

(15) レジスト層56をマスクとするドライエッチング処理により導電材層54をバーニングして導電材層54A,54B,54C(いずれも導電材層54の一部)を残存させる。

レジスト層56を除去した後、導電材層54A,54B,54Cをマスクとするドライエッチング処理により配線材層52をバーニングして配線材層52A,52B,52C(いずれも配線材層52の一部)

* phosphorus silicate glass) film etc can be used.

【0053】

resist layer 50 which possesses desired connecting hole formation pattern on insulating film 48 with (11) photolithography treatment is formed.

When insulating film 48 has transparency, because conductor layer 38A,38B which forms each gate electrode layer works occasion where exposure is administered to resist layer 50 as antireflective film, with upward direction of gate electrode layer dimensional accuracy of resist pattern issatisfactory.

【0054】

coupling hole 48b,48c for coupling hole 48a, gate for source is formed in insulating film 48 with the dry etching treatment which designates (12) resist layer 50 as mask.

As mentioned earlier in surface of conductor layer 38A,38B, case titanium dioxide, fluoride titanium or other insulating film isformed, coupling hole 48b,48c minding conductor layer 38A,38B respectively in order to obtain satisfactory electrical contact, in order to reach to electrode material layer 36 A,36B,it forms.

When insulating film is not formed to surface of conductor layer 38A,38B, in order toreach to surface of conductor layer 38A,38B, it is possible to form coupling hole 48b,48c.

After this, resist layer 50 is removed.

【0055】

Being covered insulating film 48 and coupling hole 48a-48c in (13) substrate top, it accumulates Al or Al alloy or other metallization material layer 52.

That and, with respect to metallization material layer 52 conductor layer 54 for the TiN or TiONor other anti-reflection and etching mask was expressed with step of the Figure 2, it forms in same way.

【0056】

resist layer 56 which possesses desired metallization pattern on conductor layer 54 with (14) photolithography treatment is formed.

【0057】

patternning doing conductor layer 54 with dry etching treatment which designates(15) resist layer 56 as mask, conductor layer 54A,54B,54C (Which portion of conductor layer 54) it remains.

After removing resist layer 56, patternning doing metallization material layer 52 with dry etching treatment which designates conductor layer 54A,54B,54C as mask, metallization material layer 52 A,52B,52C (Which portion of metallization material

を残存させる。

配線材層 52A 及び導電材層 54A の積層は、トランジスタ T_A のソース用の配線層 58S₁ を構成する。

配線材層 52B 及び導電材層 54B の積層は、トランジスタ T_A のゲート用の配線層 58G₁ を構成する。

配線材層 52C 及び導電材層 54C の積層は、トランジスタ T_B のゲート用の配線層 58G₂ を構成する。

【0058】

上記した実施例にあっては、図 8 又は図 15 の工程でレジスト層を除去した状態で電極材層 36 又は配線材層 52 をバーニングしたが、レジスト層を除去せずに、レジスト層と導電材層 38A,38B(又は 54A,54B,54C)との積層をマスクとしてバーニングを行なうようにしてもよい。

このようにすると、電極材層 36 又は配線材層 52 をバーニングする際にドライエッチングによりレジスト層が除去される。

従って、レジスト層を除去するための独立の工程は不要となる。

【0059】

TiN 層がエッティングマスクとして有効であることを確認するため、図 16,17,18 に示すような 3 種類のドライエッティング装置を用いて O₂ や F を含むガスで TiN,WSi₂,ポリ Si をエッティングする実験が行なわれた。

【0060】

図 16 は、マイクロ波プラズマエッチャの一例を示すものである。

プラズマチャンバ 60 の周囲には、ソレノイドコイル 62 が設けられると共に、チャンバ 60 には、マグネットロン 64 から導波管 66 を介して 2.45GHz のマイクロ波 MW が供給される。

チャンバ 60 内には、被処理ウエハ(基板)WF を保持する電極 68 が設けられ、電極 68 には、2MHz の高周波源 RF が接続される。

チャンバ 60 内には、エッティングガス G が供給されると共に、チャンバ 60 の下部は、排気手段 VAC に接続される。

【0061】

チャンバ 60 内では、マイクロ波と磁場の相乗作用によって広範囲な圧力下で均一・高密度のブ

layer 52) it remains.

metallization material layer 52 A and laminate of conductor layer 54A form the metallization layer 58S₁ for source of transistor T_A .

metallization material layer 52 B and laminate of conductor layer 54B form the metallization layer 58G₁ for gate of transistor T_A .

metallization material layer 52 C and laminate of conductor layer 54C form the metallization layer 58G₂ for gate of transistor T_B .

[0058]

There being a Working Example which you inscribed, Figure 8 or electrode material layer 36 or patterning it did metallization material layer 52 with state which removes resist layer with step of Figure 15, but without removing resist layer, it is possible to do patterning resist layer and conductor layer 38A,38B (Or 54 A,54B,54C) with with laminate as mask.

When it makes this way, when electrode material layer 36 or patterning doing metallization material layer 52, resist layer is removed by dry etching .

Therefore, independent step in order to remove resist layer becomes unnecessary.

[0059]

In order TiN layer it is effective as etching mask and to verify ,etching is done experiment which was done TiN,WSi₂, poly Si with gas which includes O₂ and F making use of dry etching device of 3 kind of kinds which are shown in Figure 16,17,18.

[0060]

Figure 16 is something which shows one example of microwave plasma エッ Thea sinensis L. (tea).

As it can provide solenoid coil 62, through waveguide 66 from magnetron 64, the microwave MW of 2.45 GHz is supplied to chamber 60 , to periphery of the plasma chamber 60.

It can provide electrode 68 which keeps suffering treatment wafer (substrate) WF inside chamber 60, high frequency source RF of 2 MHz is connected to the electrode 68 .

As etching gas G is supplied, bottom of chamber 60 is connected to the exhaust means VA C inside chamber 60.

[0061]

Inside chamber 60, with synergistic action of microwave and magnetic field plasma of uniform * high density it is a

ラズマを発生可能である。

電極 68 が供給される高周波電力を調整することによりウエハ WF に入射するイオンエネルギーを制御可能である。

【0062】

図 17 は、ECR プラズマエッチャの一例を示すものである。

プラズマチャンバ 70 の周囲には、マグネットコイル 72 が設けられると共に、コイル 72 の内側でチャンバ 70 の周囲には、冷却水 CL を通す配管が設けられている。

チャンバ 70 には、2.45GHz のマイクロ波 MW が供給されると共に、エッティングガス G が供給される。

チャンバ 70 の下部には、エッティングチャンバ 74 が連結されており、チャンバ 74 には、チャンバ 70 からプラズマ流 PL が供給される。

チャンバ 74 内には、被処理ウエハ WF を保持する電極 76 が設けられており、電極 76 には、13.56MHz の高周波源 RF が接続されている。

チャンバ 74 の下部は、排気手段 VAC に接続される。

【0063】

図 18 は、マグнетロン RIE 装置の一例を示すものである。

反応室 80 内には、被処理ウエハ WF を保持する電極 82 が設けられており、電極 82 には、13.56MHz の高周波源 RF が接続されている。

反応室内には、図示しないコイル又は永久磁石によりウエハ WF の表面に平行な磁場 B が形成されると共に、上方からエッティングガス G が供給される。

反応室 80 の下部は、排気手段 VAC に接続される。

【0064】

(A)マイクロ波プラズマエッチャを使用した場合

図 16 に示すようなマイクロ波プラズマエッチャを用いて TiN,WSi をエッティングしたところ、次の表 1 に示すようなデータが得られた。

【0065】

【表 1】

generatable under broad ranged pressure.

ion energy which incidence is done it is a controllable in wafer WF issupplied by adjusting high frequency electric power which to electrode 68.

[0062]

Figure 17 is something which shows one example of ECR plasma エッチャ sinensis L. (tea).

In periphery of plasma chamber 70, as it can provide magnet coil 72, with inside of coil 72, pipe which passes through cooling water CL is provided in periphery of chamber 70.

As microwave MW of 2.45 GHz is supplied, etching gas G is supplied to the chamber 70 .

etching chamber 74 is connected by bottom of chamber 70, plasma stream PL issupplied to chamber 74 , from chamber 70.

electrode 76 which keeps suffering treatment wafer WF is provided inside chamber 74, high frequency source RF of 13.56 MHz is connected to electrode 76 .

bottom of chamber 74 is connected to exhaust means VAC.

【0063】

Figure 18 is something which shows one example of magnetron RIE device.

electrode 82 which keeps suffering treatment wafer WF is provided inside reaction chamber 80, high frequency source RF of 13.56 MHz is connected to electrode 82 .

Inside reaction chamber, as parallel magnetic field B is formed to surface of wafer WF by unshown coil or permanent magnet , etching gas G is supplied from upward direction.

bottom of reaction chamber 80 is connected to exhaust means VAC.

[0064]

(A) microwave plasma エッチャ sinensis L. (tea) was used when

Making use of microwave plasma エッチャ sinensis L. kind of (tea) which is shown in the Figure 16 when etching it does TiN,WSi, kind of data which is shown in following Table 1 acquired.

[0065]

[Table 1]

条件	Cl ₂ /O ₂ [sccm]	O ₂ 流量 割合 [%]	エッチング速度 [nm/分] TiN WSi ₂	選択比 (WSi ₂ /TiN)
1	50/0	0	179 195	1.09
2	29/1	3.3	114 211	1.85
3	48/2	4	149 328	2.20

この場合、固定条件は、ガス圧力=5mTorr、RF(2MHz)パワー=30W、マイクロ波パワー(マグネットロンのアノード電流)=160mA、電極冷却水温度=20 deg C、上記コイル電流=20.5A、下部コイル電流 7.5A であった。

[0066]

表 1によれば、Cl₂にO₂を添加すると、TiNのエッチング速度が低下し、WSi₂に対する選択比が向上することがわかる。

[0067]

(B) ECR プラズマエッチャを使用した場合

図 17に示すような ECR プラズマエッチャを使用して 40nm の厚さの TiN を 5 分間エッチングしたところ、TiN は、殆どエッチングされなかった。

このときのエッチング条件は、Cl₂/O₂=25/11 sccm、ガス圧=2mTorr、RF(13.56MHz)パワーアー=34W、マイクロ波(2.45GHz)パワー=1400W、電極冷却水温度=15 deg C であった。

[0068]

仮に、40nm の厚さの TiN が 5 分間でエッチングされたとしても、TiN のエッチング速度は、8nm/分である。

従って、TiN のエッチング速度は、8nm/分以下であるといえる。

[0069]

TiNと同様の条件で WSi₂、ポリ Si をエッチングしたところ、次の表 2 に示すようなデータが得られた。

[0070]

【表 2】

In this case, fixed condition gas pressure=5 mTorr, RF (2 MHz) power=30W, microwave power (anode current of magnetron) was = 160 mA, electrode cooling water temperature=20 deg C, above-mentioned coil current=20.5A, bottom coil current 7.5A.

[0066]

According to Table 1, when O₂ is added to Cl₂, the etching velocity of TiN decreases, selectivity for WSi₂ improvesunderstands .

[0067]

(B) ECR plasma エッ Thea sinensis L. (tea) was used when

Using ECR plasma エッ Thea sinensis L. kind of (tea) which is shown in Figure 17,when 5 min etching it does TiN of thickness of 40 nm, etching idid almost not do TiN.

etching condition of this time was Cl₂/O₂=25/11 sccm, gas pressure=2 mTorr, RF (13.56 MHz) power=34W, microwave (2.45 GHz) power=1400W, electrode cooling water temperature=15 deg C.

[0068]

Temporarily, TiN of thickness of 40 nm being 5 min,assuming, that etching it was done, etching velocity of TiN isequivalent of 8 nm/

Therefore, as for etching velocity of TiN, you can say that equivalentof 8 nm/ it is below.

[0069]

With condition which is similar to TiN when etching it does WSi₂ , poly Si. kind of data which is shown in following Table 2 acquired.

[0070]

【Table 2】

エッチング速度 [nm/分]			選択比	
TiN	WSi ₂	ポリ Si	WSi ₂ /TiN	ポリ Si/TiN
< 8	281	242~250	> 35.1	> 30.3

一例として、WSi₂/ポリ Si=200/150nm のポリサイド層を TiN 層をマスクとしてドライエッチングする場合、WSi₂、ポリ Si の TiN に対する選択比は、それぞれ>35.1、>30.3 であるから、オーバーエッチングを 30% 行なつたとしても TiN 層の厚さが 13.9nm 以上であれば、TiN 層はエッチングマスクとして機能する。

[0071]

一方、TiN 層を WSi₂ 層上で反射防止膜として使用する場合、露光用に i 線又は g 線の光を用いるものとすると、TiN 層の厚さが 30~50nm で良好な特性が得られる。

従って、WSi₂ 層上に反射防止膜として堆積した TiN 層は、エッチングマスクとして十分に機能するものである。

[0072]

(C) マグネットロン RIE 装置を使用した場合

図 18 に示すようなマグネットロン RIE 装置を使用して TiN, WSi₂, ポリ Si をエッチングしたところ、次の表 3 に示すようなデータが得られた。

このときのエッチング条件は、HBr/SF₆=15/45ccm、圧力=20mTorr、RF パワー=250W、磁束密度=30Gauss、冷却水温度=40deg C であった。

[0073]

[表 3]

エッチング速度 [nm/分]			選択比	
TiN	WSi ₂	ポリ Si	WSi ₂ /TiN	ポリ Si/TiN
21.8	179	263	8.2	12.1

表 3 の選択比から計算すると、WSi₂/ポリ Si=200/150nm のポリサイド層を TiN 層をマスクとしてドライエッチングする場合、TiN 層の厚さは、オーバーエッチングを 30% 行なうものとすれば 47.8nm あればよいことになる。

また、WSi₂/ポリ Si=100/100nm であれば、TiN

As one example, when dry etching it does poly side layer of WSi₂/poly Si=200/150 nm with the TiN layer as mask, because selectivity for TiN of WSi₂、poly Si, eachone > 35.1, > 30.3 is, assuming, that overetching 30% it did, if the thickness of TiN layer is 13.9 nm or greater, TiN layer functions as etching mask.

[0071]

On one hand, when when you use, as antireflective film use light of the i-line or g-line for one for exposure with respect to WSi₂ layer, thickness of TiN layer satisfactory characteristic is acquired TiN layer with 30 - 50 nm.

Therefore, with respect to WSi₂ layer TiN layer which it accumulates antireflective film is something which functions in fully as etching mask.

[0072]

(C) magnetron RIE device was used when

Using kind of magnetron RIE device which is shown in Figure 18, when etching it does TiN, WSi₂, poly Si, kind of data which it shows in following Table 3 acquired.

etching condition of this time was HBr/SF₆=15/45 sccm, pressure=20 mTorr, RF power=250W, magnetic flux density=30 Gauss, cooling water temperature=40 deg C.

[0073]

[Table 3]

When it calculates from selectivity of Table 3, when dry etching it does poly side layer of WSi₂/poly Si=200/150 nm with TiN layer as mask, if thickness of TiN layer 30% we do overetching, 47.8 nm it should have been especially it means.

In addition, if it is a WSi₂/poly Si=100/100 nm, thickness of

層の厚さは、26.6nm(オーバーエッチ 30%)あればよいことがわ る。

[0074]

要するに、O₂ や F を含むガスを使用するドライエッチングでは、TiN に対するポリサイドの選択比が高いので、TiN 層をエッチングマスクとして使用できることがわ る。

TiN 層の代りに TiON 層を使用した場合は、TiON に対するポリサイドの選択比が更に高いので、エッチングマスクとしての機能が一層向上する。

[0075]

【発明の効果】

以上のように、この発明によれば、電極用又は配線用の導電材層をパターニングする際のエッチングマスクとして TiN 等の反射防止用の導電材層を用いるようにしたので、(1)反射防止用の導電材層をパターニングする際のレジスト膜厚を薄くすることでフォトリソグラフィ工程での焦点深度が向上し、微細なパターン形成が可能となること、(2)電極用又は配線用の導電材層をパターニングする際にはエッチングマスクが薄いのでドライエッチング時のマイクロローディング効果が低減され、寸法精度が向上することなどの効果が得らる。

[0076]

その上、反射防止用の導電材層と薄いレジスト層との積層をエッチングマスクとして用いると、レジスト層除去のための独立の工程が不要となる付加的効果もある。

【図面の簡単な

【図1】

この発明の一実施例に係る MOS 型 IC の製法におけるゲート絶縁膜形成工程を示す基板断面図である。

【図2】

図 1 の工程に続く電極及び導電材の堆積工程を示す基板断面図である。

【図3】

図 2 の工程に続くレジスト被着工程を示す基板断面図である。

【図4】

図 3 の工程に続くレジスト露光工程を示す基板

TiN layer 26.6 nm (over etching 30%) it should have been, understands .

[0074]

In a word, because with dry etching which uses gas which includes O₂ and F, selectivity of poly side for TiN is high, TiN layer can use understands as etching mask.

When TiON layer is used in place of TiN layer, because selectivity of the poly side for TiON furthermore is high, function as etching mask improves more.

[0075]

【Effects of the Invention】

Like above, according to this invention, when for electrode or the patterning doing conductor layer for metallization, because it tried to use conductor layer for TiN or other anti-reflection as etching mask, when patterning doing conductor layer for (1) anti-reflection, focus depth with photolithography process improves by fact that resist film thickness is made thin, microscopic pattern formation becomes possible. When for (2) electrode or patterning doing conductor layer for metallization, because etching mask is thin, microloading effect at time of dry etching is decreased, thing or other effect to which dimensional accuracy improves is acquired.

[0076]

When on that, it uses conductor layer for anti-reflection and laminate of the thin resist layer, as etching mask there is also a additional effect to which the independent step for resist layer removal becomes unnecessary.

【Brief Explanation of the Drawing(s)]

【Figure 1】

It is a substrate sectional view which shows gate insulating film formation process in production method of MOS type IC which relates to one Working Example of this invention.

【Figure 2】

It is a substrate sectional view which shows deposition step of electrode material and conductor which follow step of Figure 1.

【Figure 3】

It is a substrate sectional view which shows resist application step which follows step of Figure 2.

【Figure 4】

It is a substrate sectional view which shows resist exposure

断面図である。

【図5】

図 4 の工程に続くレジスト現像工程を示す基板断面図である。

【図6】

図 5 の工程に続く導電材エッチング工程を示す基板断面図である。

【図7】

図 6 の工程に続くレジスト除去工程を示す基板断面図である。

【図8】

図 7 の工程に続く電極材エッチング工程を示す基板断面図である。

【図9】

図 8 の工程に続くソース・ドレイン形成工程を示す基板断面図である。

【図10】

図 9 の工程に続く層間絶縁膜形成工程を示す基板断面図である。

【図11】

図 10 の工程に続くレジストパターン形成工程を示す基板断面図である。

【図12】

図 11 の工程に続く接続孔形成工程を示す基板断面図である。

【図13】

図 12 の工程に続く配線材及び導電材の堆積工程を示す基板断面図である。

【図14】

図 13 の工程に続くレジストパターン形成工程を示す基板断面図である。

【図15】

図 14 の工程に続く配線バーニング工程を示す基板断面図である。

【図16】

マイクロ波プラズマエッチャの一例を示す断面図である。

【図17】

step which follows step of the Figure 3.

[Figure 5]

It is a substrate sectional view which shows resist development process which follows step of Figure 4.

[Figure 6]

It is a substrate sectional view which shows conductor etching step which follows step of the Figure 5.

[Figure 7]

It is a substrate sectional view which shows resist removal process which follows step of Figure 6.

[Figure 8]

It is a substrate sectional view which shows electrode material etching step which follows step of the Figure 7.

[Figure 9]

It is a substrate sectional view which shows source * drain formation process which follows step of the Figure 8.

[Figure 10]

It is a substrate sectional view which shows interlayer insulating film formation process which follows step of the Figure 9.

[Figure 11]

It is a substrate sectional view which shows resist pattern formation process which follows step of Figure 10.

[Figure 12]

It is a substrate sectional view which shows connecting hole formation process which follows step of Figure 11.

[Figure 13]

It is a metallization material which follows step of Figure 12 and a substrate sectional view which shows deposition step of conductor.

[Figure 14]

It is a substrate sectional view which shows resist pattern formation process which follows step of Figure 13.

[Figure 15]

It is a substrate sectional view which shows metallization patterning step which follows step of the Figure 14.

[Figure 16]

It is a sectional view which shows one example of microwave plasma エッ 'Thea sinensis L. (tea).

[Figure 17]

ECR プラズマエッチャの一例を示す断面図である。

【図18】

マグネットロン RIE 装置の一例を示す断面図である。

【図19】

狭いスペースでエッチング速度が低下する状況を示す基板断面図である。

【図20】

スペース幅とエッチング速度との関係を示す基板断面図である。

【図21】

狭いスペースでエッチング速度が上昇する状況を示す基板断面図である。

【図22】

スペース幅とエッチング速度との関係を示す基板断面図である。

【図23】

密集配線層のエッチング状況を示す基板断面図である。

【図24】

孤立配線層のエッチング状況を示す基板断面図である。

【図25】

微細配線バターニングにおけるマスク材のエッチング状況を示す断面図である。

【図26】

図 25 の場合よりエッチングが進行した状況を示す断面図である。

【図27】

ライン幅とレジスト膜減り量、対レジスト選択比及びレジストテーパ角との関係を示すグラフである。

【図28】

段差を有する基板上でのレジスト露光状況を示す基板断面図である。

【図29】

図 28 のレジスト現像状況を示す基板上面図である。

【図30】

It is a sectional view which shows one example of ECR plasma エッチャ *Thea sinensis L.* (tea).

{Figure 18}

It is a sectional view which shows one example of magnetron RIE device.

{Figure 19}

It is a substrate sectional view which shows status where etching velocity decreases with the narrow space.

{Figure 20}

It is a substrate sectional view which shows relationship between space width and the etching velocity.

{Figure 21 }

It is a substrate sectional view which shows status where etching velocity rises with the narrow space.

{Figure 22 }

It is a substrate sectional view which shows relationship between space width and the etching velocity.

{Figure 23 }

It is a substrate sectional view which shows etching status of crowding metallization layer.

{Figure 24 }

It is a substrate sectional view which shows etching status of isolation metallization layer.

{Figure 25 }

It is a sectional view which shows etching status of mask in fine metallization patterning.

{Figure 26 }

It is a sectional view which shows status which etching advanced from incase of Figure 25.

{Figure 27 }

line width and resist film wear quantity, it is an anti-resist selectivity and a graph which shows relationship with resist taper angle.

{Figure 28 }

It is a substrate sectional view which shows resist exposure status on group board which possesses step.

{Figure 29 }

It is a substrate top view which shows resist development status of Figure 28.

{Figure 30 }

図 29 の X-X' 線に沿う断面図である。

【図31】

図 29 の Y-Y' 線に沿う断面図である。

【図32】

基板の反射率が場所によって異なる場合の接続孔形成状況を示す基板断面図である。

【図33】

接続孔形成位置がずれた場合の配線形成状況を示す基板断面図である。

【図34】

露光エネルギーと孔の直径との関係を示すグラフである。

【図35】

染料入りレジスト層の形成工程を示す基板断面図である。

【符号の説明】

30

半導体基板

32

絶縁膜

34A

絶縁膜

34B

絶縁膜

36

電極材層

38

導電材層

40

レジスト層

42A

電極層

42B

電極層

It is a sectional view which parallels to X-X' line of Figure 29.

{Figure 31 }

It is a sectional view which parallels to Y-Y' line of Figure 29.

{Figure 32 }

reflectivity of substrate being site , it is a substrate sectional view which shows the connecting hole formation circumstance when it differs.

{Figure 33 }

It is a substrate sectional view which shows metallization circumstance when connecting hole formation positionslips.

{Figure 34 }

It is a graph which shows relationship between exposure energy and the diameter of hole.

{Figure 35 }

It is a substrate sectional view which shows formation process of dye entering resist layer.

[Explanation of Symbols in Drawings]

30

semiconductor substrate

32

insulating film

34 A

insulating film

34 B

insulating film

36

electrode material layer

38

conductor layer

40

resist layer

42 A

electrode layer

42 B

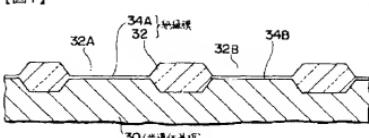
electrode layer

48	48
絶縁膜	insulating film
50	50
レジスト層	resist layer
52	52
配線材層	metallization material layer
54	54
導電材層	conductor layer
56	56
レジスト層	resist layer
58S1	58 S<SB>1</SB>
58G1	58 G1
58S1	58 S<SB>1</SB>
58G2	58 G2
58S1	58 S<SB>1</SB>
配線層	metallization layer
TA	TA
TB	TB
TA	TA
トランジスタ	transistor

Drawings

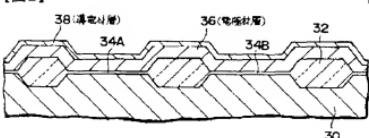
【図1】

[Figure 1]



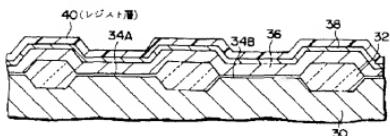
【図2】

[Figure 2]



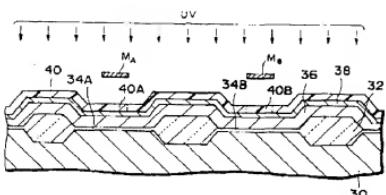
【図3】

[Figure 3]



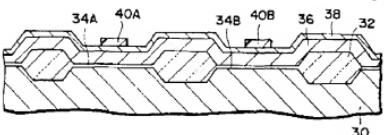
[図4]

[Figure 4]



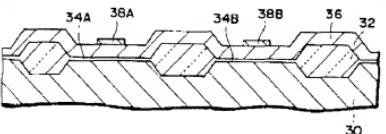
[図5]

[Figure 5]



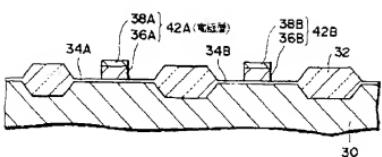
[図7]

[Figure 7]



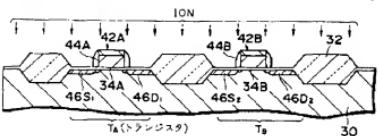
[図8]

[Figure 8]



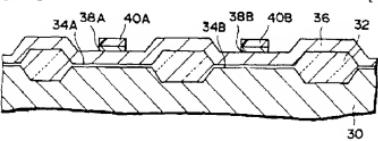
【図9】

[Figure 9]



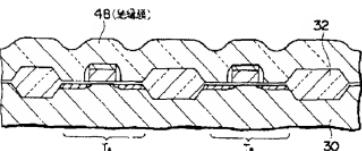
【図6】

[Figure 6]



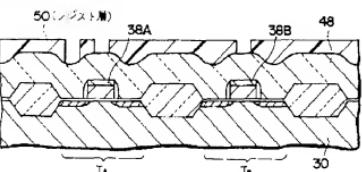
【図10】

[Figure 10]

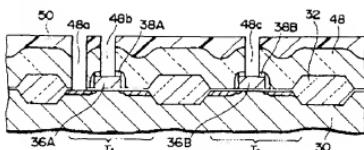


【図11】

[Figure 11]

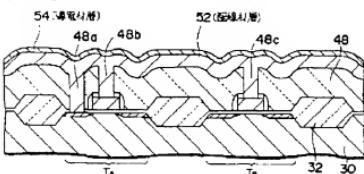


【図12】



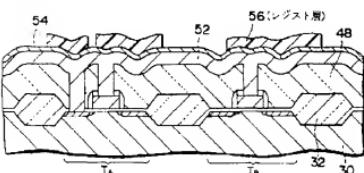
[Figure 12]

【図13】



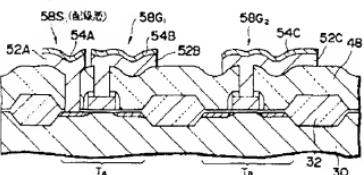
[Figure 13]

【図14】



[Figure 14]

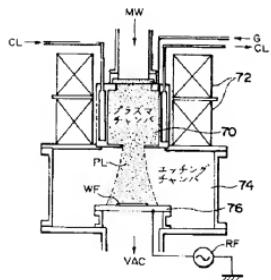
【図15】



[Figure 15]

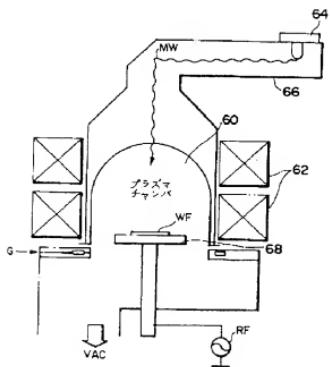
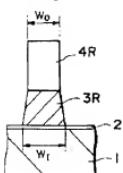
【図17】

[Figure 17]



【図24】

{Figure 24 }

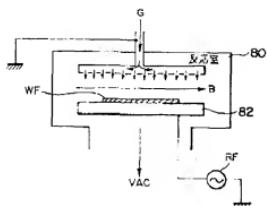


【図16】

[Figure 16]

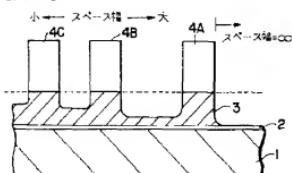
【図18】

[Figure 18]



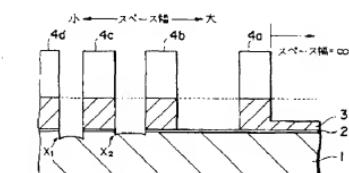
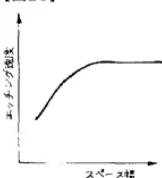
【図19】

[Figure 19]



【図20】

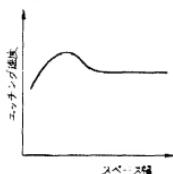
[Figure 20]



【図21】

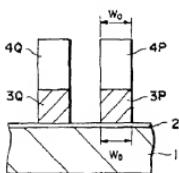
{Figure 21 }

【図22】

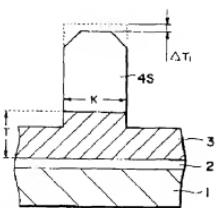


{Figure 22 }

【図23】



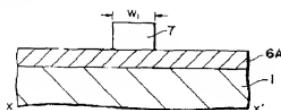
{Figure 23 }



【図25】

{Figure 25 }

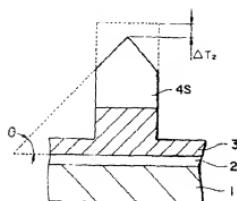
【図30】



{Figure 30 }

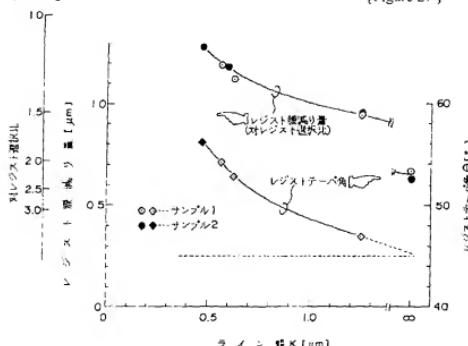
【図26】

{Figure 26 }



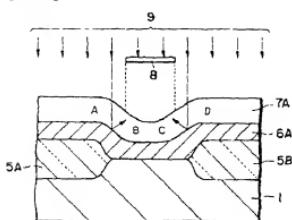
【図27】

{Figure 27 }



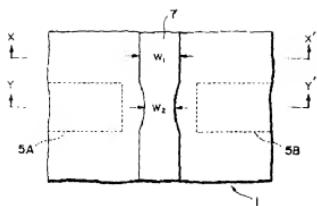
【図28】

{Figure 28 }



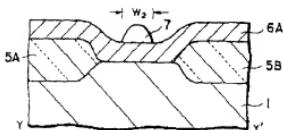
【図29】

{Figure 29 }



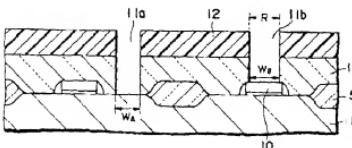
【図31】

{Figure 31 }



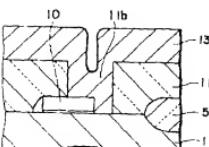
【図32】

{Figure 32 }



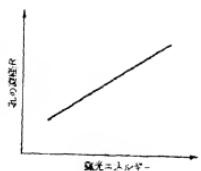
【図33】

{Figure 33 }



【図34】

{Figure 34 }



【図35】

{Figure 35 }

